

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-538634

(P2002-538634A)

(43)公表日 平成14年11月12日(2002.11.12)

(51)Int.Cl.⁷

H 01 L 21/82
21/822
27/04

H 03 K 19/173

識別記号

101

F I

H 03 K 19/173
H 01 L 21/82
27/04

5 F 03 8

A 5 F 06 4
A 5 J 04 2

テーマコード(参考)

審査請求 未請求 予備審査請求 未請求(全 71 頁)

(21)出願番号 特願2000-603150(P2000-603150)
(86) (22)出願日 平成12年3月2日(2000.3.2)
(85)翻訳文提出日 平成12年11月6日(2000.11.6)
(86)国際出願番号 PCT/US00/05628
(87)国際公開番号 WO00/52826
(87)国際公開日 平成12年9月8日(2000.9.8)
(31)優先権主張番号 60/122,788
(32)優先日 平成11年3月4日(1999.3.4)
(33)優先権主張国 米国(US)
(31)優先権主張番号 60/142,508
(32)優先日 平成11年7月6日(1999.7.6)
(33)優先権主張国 米国(US)

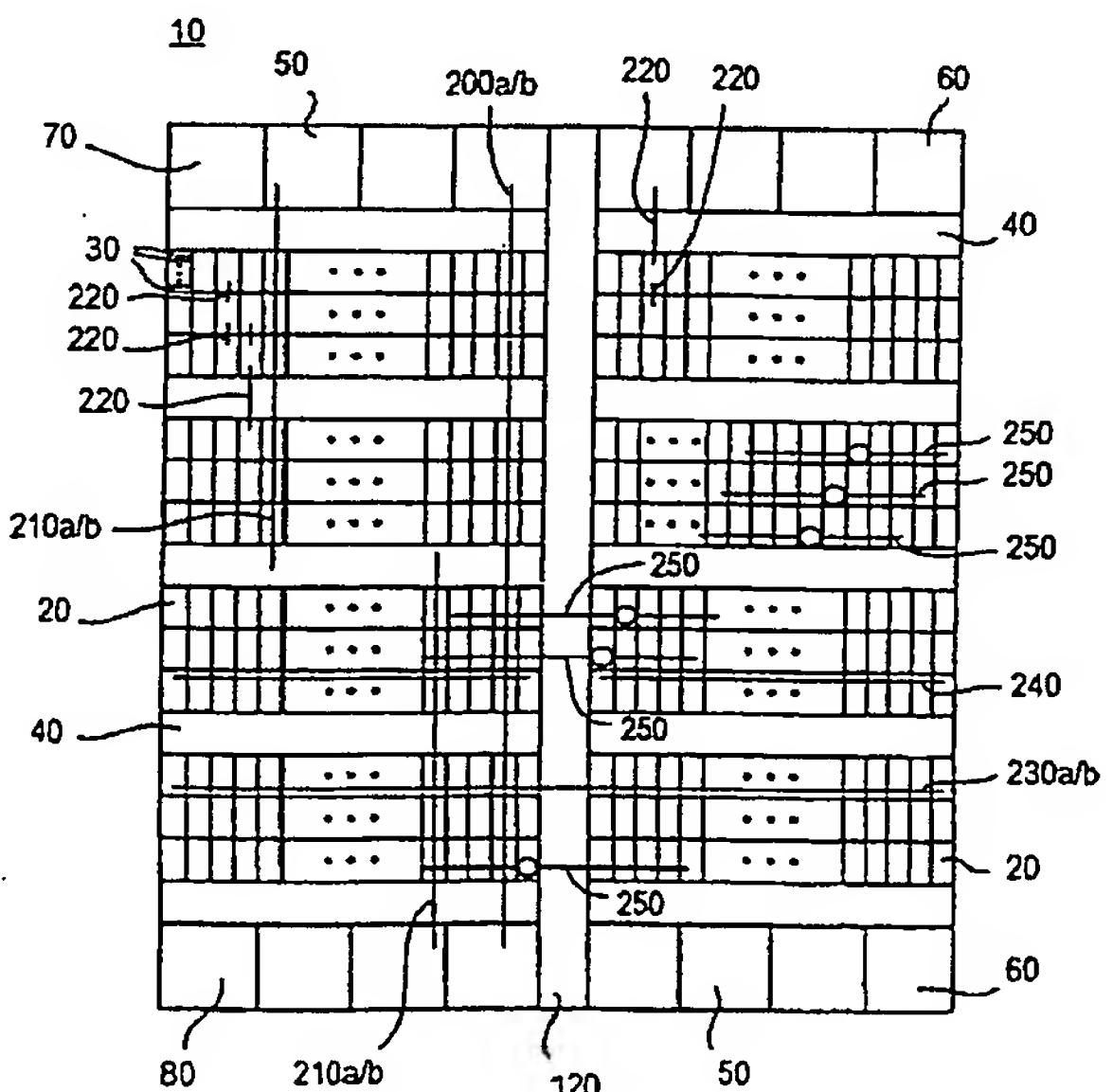
(71)出願人 アルテラ・コーポレーション
アメリカ合衆国・95134・カリフォルニア
州・サンホセ・イノベーション・ドライブ
101
(72)発明者 ンガイ, トニー
アメリカ合衆国、カリフォルニア 95134,
サンホセ、イノベーション・ドライブ
101、ケアオブ・アルテラ・コーポレーション
(74)代理人 弁理士 浜田 治雄

最終頁に続く

(54)【発明の名称】 プログラマブルロジック集積回路デバイスの相互接続ならびに入力/出力リソース

(57)【要約】

プログラマブルロジック集積回路(10)は、交差する複数の領域の行および列からなる配列をもつてデバイス上に配置された複数のプログラマブルロジック領域(20)を有する。領域から領域へおよび/または領域間におけるプログラム可能な相互接続を形成するための相互接続リソース(例えば、相互接続コンダクタ、信号バッファ/ドライバ、プログラマブルコネクタ等)が設けられる。これらの相互接続リソースのうちの少なくともいくつかは、構造的には類似(例えば、類似かつ実質的に平行なルーティング)であるが著しく異なった信号伝送速度特性を有する2つの形式で構成される。例えば、これらの双対形式相互接続リソースのうちの主要なまたは大きな部分(200a, 210a, 230a)はノーマル速度と呼ばれるものであり、少ないほうの部分(200b, 210b, 230b)は大幅に高速な信号速度を有する。二次(例えば、クロックおよびクリア)信号の分配も強化することができ、またデバイス上の隣接するまたは近接するロジックモジュール間の入力/出力回路およびカスケード接続も改善することができる。



(2)

【特許請求の範囲】

【請求項 1】 それぞれ複数の入力端子および少なくとも 1 つの出力端子を有し、それぞれ入力端子に付加される入力信号上において複数のロジック機能のうちの 1 つを選択的に実行して出力端子に付加される出力信号を形成する複数のプログラマブルロジック領域を備え；

実質的に任意の領域の出力端子を少なくとも 1 つの実質的に任意の領域の入力端子に選択的に接続するようプログラムすることができる相互接続ネットワークを備え、この相互接続ネットワークは、実質的に任意の領域の出力端子を少なくとも 1 つの実質的に任意の領域の入力端子に選択的に接続するようプログラムすることができる第 1 のノーマル速度部分と、実質的に任意の領域の出力端子と少なくとも 1 つの実質的に任意の領域の入力端子との間の接続の少なくとも一部を選択的に形成する第 2 の高速部分とを含む、

プログラマブルロジックデバイス。

【請求項 2】 第 2 の高速部分は、第 1 のノーマル速度部分を介する同一部分の接続のルーティングの少なくとも一部を代替する信号ルーティングを提供することにより、実質的に任意の領域の出力端子と少なくとも 1 つの実質的に任意の領域の入力端子との間の接続の少なくとも一部を選択的に形成するよう構成され、第 2 の高速部分を介する代替的なルーティングはこれが代替する第 1 のノーマル速度部分を介するルーティングよりも実質的に高速である請求項 1 記載のデバイス。

【請求項 3】 領域は交差する領域の行と列とからなる二次元の配列をもって配置され、相互接続ネットワークは各行に沿ってかつこれと結合して延在する水平相互接続コンダクタと各列に沿ってかつこれと結合して延在する垂直相互接続コンダクタと前記水平および垂直相互接続コンダクタを選択的に相互接続するよう構成されたプログラマブルコネクタとからなり、各グループ内の第 1 のサブセットのコンダクタは相互接続ネットワークの第 1 のノーマル速度部分を構成するよう形成され、各グループ内の第 2 のサブセットのコンダクタは相互接続ネットワークの第 2 の高速部分を構成するよう形成されることを特徴とする請求項 1 記載のデバイス。

(3)

【請求項 4】 各グループ内の第 1 のサブセットはそのグループ内の第 2 のサブセットに比べてより多くのコンダクタを含む請求項 3 記載のデバイス。

【請求項 5】 各グループ内の第 1 のサブセットはそのグループ内のコンダクタの 67%ないし 80%を含む請求項 4 記載のデバイス。

【請求項 6】 プログラマブルコネクタはコンダクタの第 1 のサブセット内の水平および垂直相互接続コンダクタを選択的に接続するがコンダクタの第 2 のサブセット内の水平および垂直相互接続コンダクタは接続しないように構成された第 1 のサブセットのコネクタを含む請求項 3 記載のデバイス。

【請求項 7】 プログラマブルコネクタはコンダクタの第 2 のサブセット内の水平および垂直相互接続コンダクタを選択的に接続するがコンダクタの第 1 のサブセット内の水平および垂直相互接続コンダクタは接続しないように構成された第 2 のサブセットのコネクタを含む請求項 3 記載のデバイス。

【請求項 8】 プログラマブルコネクタはコンダクタの第 2 のサブセット内の水平および垂直相互接続コンダクタを選択的に接続するがコンダクタの第 1 のサブセット内の水平および垂直相互接続コンダクタは接続しないように構成された第 2 のサブセットのコネクタを含む請求項 6 記載のデバイス。

【請求項 9】 プログラマブルコネクタは信号ドライバを含み、コネクタの第 2 のサブセットの信号ドライバはコネクタの第 1 のサブセットの信号ドライバに比べて大きくかつ強力である請求項 8 記載のデバイス。

【請求項 10】 各グループ内のコンダクタの第 2 のサブセット内のコンダクタはこのグループ内のコンダクタの第 1 のサブセット内のコンダクタに比べて幅広である請求項 3 記載のデバイス。

【請求項 11】 各グループ内のコンダクタの第 2 のサブセット内のコンダクタはこのグループ内のコンダクタの第 1 のサブセット内のコンダクタに比べて他のコンダクタからより広く離間している請求項 3 記載のデバイス。

【請求項 12】 各領域の出力端子は実質的に相互接続ネットワークの第 1 のノーマル速度部分および第 2 の高速部分の双方に接続可能である請求項 1 記載のデバイス。

【請求項 13】 相互接続ネットワークはさらに各領域に結合された相互接

(4)

続コンダクタの少なくともいくつかからの信号をその領域の少なくとも1つの入力端子に付加するよう構成されたプログラマブル回路含み、プログラマブル回路はこの領域に結合されているコンダクタの第2のサブセット内のコンダクタからの信号に対しての方がこの領域に結合されているコンダクタの第1のサブセット内のコンダクタからの信号に対してよりもより直結的である接続経路を有する請求項3記載のデバイス。

【請求項14】 行内の複数の近接する領域からなる複数のサブセットのそれに結合されるとともにこれに沿って延在する複数の高速部分的相互接続コンダクタをさらに備える請求項3記載のデバイス。

【請求項15】 各高速部分的相互接続コンダクタはこの高速部分的相互接続コンダクタに結合された複数の近接する領域の略中央に配置された相関する領域のうちの1つの出力端子にプログラム接続し得るように構成される請求項14記載のデバイス。

【請求項16】 各領域に結合された各高速部分的相互接続コンダクタは実質的にこの高速局所的相互接続コンダクタに結合された任意の領域の少なくとも1つの入力端子にプログラム接続し得る請求項15記載のデバイス。

【請求項17】 各列内の近接する領域の各ペアに結合されるとともに結合されたペア内の1つの領域からの信号をこのペア内の他方の領域に結合されたプログラム可能な出力回路にのみ伝送するよう構成された橋絡相互接続コンダクタをさらに含み、前記出力回路は橋絡相互接続コンダクタ上の信号を前記ペア内の他方の領域の出力端子からの信号の代わりに選択的に付加するよう構成される請求項3記載のデバイス。

【請求項18】 プロセッシング回路と；
 プロセッシング回路に結合されたメモリと；
 このプロセッシング回路およびメモリに結合された請求項1記載のプログラマブルロジックデバイスとからなる、
 デジタルプロセッシングシステム。

【請求項19】 請求項1に記載のプログラマブルロジックデバイスが実装されたプリント回路基板。

【請求項20】 プリント回路基板上に実装されるとともにプログラマブルロジックデバイスに結合されたメモリをさらに備える請求項19記載のプリント回路基板。

【請求項21】 プリント回路基板上に実装されるとともにプログラマブルロジックデバイスに結合されたプロセッシング回路をさらに備える請求項19記載のプリント回路基板。

【請求項22】 交差する領域の行と列からなる二次元の配列をもってデバイス上に配置された複数のプログラマブルロジックの領域と；

デバイス上において前記領域の行のうちの2つの間に交互配置された行内に配置された複数の入力／出力回路のセルとを備え、各セルの回路が入力／出力端子を有してなる、

プログラマブルロジック集積回路デバイス。

【請求項23】 少なくともいくつかのセルが、その間にセルの行が交互配置された領域の行のうちの1つの中の領域に、相関するセルと領域の間を延在するコンダクタによって結合されており、前記コンダクタは相関する領域からの出力信号を対応するセルに伝送するよう構成される請求項22記載のデバイス。

【請求項24】 交差する領域の行と列からなる二次元の配列をもってデバイス上に配置された複数のプログラマブルロジックの領域を備え；

前記行の中央に近接してこれに対して垂直に延在する複数の信号コンダクタを備え；

前記信号コンダクタから分岐して前記行のそれぞれに近接するとともにこの近接した行に沿って延在する複数の分岐コンダクタを備え、各行に近接する分岐コンダクタは信号コンダクタからの信号を近接する行内の領域に伝送するように構成され；

さらにデバイスの中央付近配置されるとともに、外部の回路からデバイスが受信した信号を前記信号コンダクタにそれぞれ供給するよう形成された複数の入力ピンを備えてなる、

プログラマブルロジック集積回路デバイス。

【請求項25】 各領域は分岐コンダクタを介して受信した信号をクロック

。信号として使用するよう構成された請求項24記載のデバイス。

【請求項26】 デバイス上において2つの前記ロジック領域の行の間に交互配置された行内に配置された複数の入力／出力セルをさらに備え、前記入力／出力セルのそれぞれも前記分岐コンダクタを介して前記信号コンダクタからの信号を受信する請求項24記載のデバイス。

【請求項27】 各入力／出力セルは分岐コンダクタを介して受信した信号をクロック信号として使用するよう構成された請求項26記載のデバイス。

【請求項28】 前記入力／出力セルのそれぞれが：

入力／出力端子と；

デバイスによって形成された信号を必要に応じてセルの入力／出力端子へ付加するために選択的にレジスタに記録するよう構成された出力レジスタ回路と；

付勢されている場合において出力レジスタ回路の出力信号をセルの入力／出力ピンに付加するよう構成されたトリーステートドライバ回路と；

デバイスによって形成された出力付勢信号を選択的に記録しトリーステートドライバ回路を選択的に付勢する信号としてトリーステートドライバ回路に付加するよう構成された出力付勢レジスタ回路と；

セルの入力／出力端子からの入力信号を選択的に記録してデバイスの他の回路に付加するよう構成された入力レジスタ回路とを備え、前記入力／出力セルのそれぞれが分岐コンダクタを介して受信した信号を出力レジスタ回路と、出力付勢レジスタ回路と、ならびに入力レジスタ回路をクロックするために使用するよう構成される、

請求項26記載のデバイス。

【請求項29】 交差する領域の行と列からなる二次元の配列をもってデバイス上に配置された複数のプログラマブルロジックの領域を備え；

デバイスの中央付近配置されるとともにデバイスの外部の回路から信号を受信するよう形成された複数の入力ピンを備え；

入力ピンによって受信される信号とデバイスの中央に近接した前記領域の部分集合によって出力される信号のうちから高速コンダクタ信号を選択するよう構成された第1のプログラマブルロジックコネクタ回路を備え；

前記行の中央付近において前記行に対して垂直に延在するとともに第1のプログラマブルロジックコネクタ回路によって選択された高速コンダクタ信号を伝送するように構成された複数の高速コンダクタを備え；

前記信号コンダクタから分岐して前記行のそれぞれに近接するとともにこの近接した行に沿って延在する複数の分岐コンダクタを備え、各行に近接する分岐コンダクタは隣接する行内の領域に信号を伝送するように構成され；

前記行のそれぞれに結合された第2のプログラマブルロジックコネクタ回路を備え、これは高速コンダクタからの高速コンダクタ信号を前記第2のプログラマブルが結合される行に近接する分岐コンダクタへ付加するよう構成される、

プログラマブルロジック集積回路デバイス。

【請求項 30】 前記行のそれぞれに結合される第2のプログラマブルロジックコネクタ回路は、さらにこの第2のプログラマブルロジックコネクタ回路が結合される行に近接する分岐コンダクタへ付加するために、行内の中央点付近に位置する領域の出力信号を代替的に選択するよう構成される請求項29記載のデバイス。

【請求項 31】 複数のルックアップテーブルモジュールからなり、それぞれが：

実質的にこのモジュールへの複数の入力信号のいずれかの論理的組み合わせであり得る第1の中間信号を形成するよう構成された第1のルックアップテーブル回路を備え；

実質的にこのモジュールへの前記複数の入力信号のいずれかの論理的組み合わせであり得る第2の中間信号を形成するよう構成された第2のルックアップテーブル回路を備え；

第1および第2の中間信号のうちの選択された1つに基づいて出力信号を形成するよう構成されたロジックコネクタ回路を備え、この選択はロジックコネクタ回路に付加される制御入力信号に基づいて実施され；

モジュールへの別の入力信号と実質的にこのモジュールへ直接付加される別のモジュールの出力信号のうちの選択された1つに基づいて制御入力信号を形成するよう構成されたプログラマブルロジックコネクタを備える、

ルックアップテーブル回路。

【請求項 3 2】 プログラマブルロジックコネクタ回路はプログラム可能な機能制御要素によって制御され、別の入力信号および前記別のモジュールの出力信号のうちの 1 つを選択し、制御入力信号の形成を確立する請求項 3 1 記載のルックアップテーブル回路。

【請求項 3 3】 実質的に任意のルックアップテーブルモジュールの出力信号を実質的に任意のルックアップテーブルモジュールの実質的に任意の入力信号または別の入力信号として選択的に付加するよう構成されたプログラマブル相互接続回路と；

各ルックアップテーブルモジュールに結合されるとともにプログラマブル相互接続回路から分離された直接接続回路とを備え、この各ルックアップテーブルモジュールに結合された直接接続回路は結合されたルックアップテーブルモジュールの出力信号を別のルックアップテーブルモジュールのプログラマブルロジックコネクタ回路に直接付加するよう構成される、

プログラマブルロジックデバイス。

【請求項 3 4】 実質的に第 1 の入力信号グループのいずれかの論理的組み合わせであり得る第 1 の中間信号を形成するよう構成された第 1 のルックアップテーブル回路を備え；

実質的に第 1 の入力信号グループのいずれかの論理的組み合わせであり得る第 2 の中間信号を形成するよう構成された第 2 のルックアップテーブル回路を備え；

実質的に第 2 の入力信号グループのいずれかの論理的組み合わせであり得る第 3 の中間信号を形成するよう構成された第 3 のルックアップテーブル回路を備え；

実質的に第 2 の入力信号グループのいずれかの論理的組み合わせであり得る第 4 の中間信号を形成するよう構成された第 4 のルックアップテーブル回路を備え；

第 1 および第 2 の中間信号のうちの選択可能な 1 つに基づいて第 1 の出力信号を形成するよう構成された第 1 のロジックコネクタ回路を備え、前記の選択は第

1の別の入力信号に基づいて実施され；

第3および第4の中間信号のうちの選択可能な1つに基づいて別の中間信号を形成するよう構成された第2のロジックコネクタ回路を備え、前記の選択は第1の別の入力信号および第2の別の入力信号のうちの選択可能な1つに基づいて実施され；

第1の出力信号および別の中間信号のうちの選択可能な1つに基づいて第2の出力信号を形成するよう構成された第3のロジックコネクタ回路を備え、前記の選択は第2の別の入力信号に基づくものとすることができる、

ルックアップテーブル回路。

【請求項35】 第3のロジックコネクタ回路は第2の別の入力信号に関係なく第2の出力信号を別の中間信号に基づくものとするよう代替的に構成することができる請求項34記載のルックアップテーブル回路。

【請求項36】 第2の入力信号グループを第1の入力信号グループと一緒に選択し、またこれに代えて第2の入力信号グループを第1の入力信号グループと異なるように選択するよう構成される信号ルーティング回路をさらに備える請求項34記載のルックアップテーブル回路。

【請求項37】 第1および第2の入力信号グループはそれぞれ3つの入力信号からなる請求項34記載のルックアップテーブル回路。

【請求項38】 第1および第2の別の入力信号のうちの選択可能な1つに基づいて第2のロジックコネクタ回路に対する選択制御信号を提供するよう構成された第1のプログラマブルロジックコネクタ回路をさらに備える請求項34記載のルックアップテーブル回路。

【請求項39】 第1のプログラマブルロジックコネクタ回路に対する選択制御信号を形成するよう構成されたプログラマブル機能制御要素をさらに備える請求項38記載のルックアップテーブル回路。

【請求項40】 第2の別の入力信号および固定されたロジック信号のうちの選択可能な1つに基づいて第3のロジックコネクタ回路に対する選択制御信号を提供するよう構成された第2のプログラマブルロジックコネクタ回路をさらに備える請求項38記載のルックアップテーブル回路。

(10)

【請求項4 1】 第1および第2のプログラマブルロジックコネクタ回路に対する選択制御信号を形成するよう構成されたプログラマブル機能制御要素をさらに備える請求項4 0記載のルックアップテーブル回路。

【請求項4 2】 実質的に複数の入力信号のいずれかの論理的組み合わせであり得る第1の中間信号を形成するよう構成された第1のルックアップテーブル回路を備え；

実質的に複数の入力信号のいずれかの論理的組み合わせであり得る第2の中間信号を形成するよう構成された第2のルックアップテーブル回路を備え；

第1および第2の中間信号のうちの選択可能な1つに基づいて第1の出力信号を形成するよう構成された第1のロジックコネクタ回路を備え、前記の選択は別の入力信号およびカスケード入力信号のうちの選択可能な1つに基づいて実施され；

第1および第2の中間信号のうちの選択可能な1つに基づいてカスケード出力信号を形成するよう構成された第2のロジックコネクタ回路を備え、前記の選択は別の入力信号およびカスケード入力信号のうちの選択可能な1つに基づいて実施される、

ルックアップテーブル回路。

【請求項4 3】 第1および第2のロジックコネクタ回路はさらに第1および第2の中間信号の間において同一の選択を行うよう構成される請求項4 2記載のルックアップテーブル回路。

【請求項4 4】 複数の入力信号は3つの入力信号からなる請求項4 2記載のルックアップテーブル回路。

【請求項4 5】 請求項4 2に記載された複数のルックアップテーブル回路を備え、1番目のルックアップテーブル回路のカスケード出力信号は2番目のルックアップテーブル回路にカスケード入力信号として付加されるプログラマブルロジックデバイス。

【請求項4 6】 別の入力信号およびカスケード入力信号のうちの選択可能な1つに基づいて第1および第2のロジックコネクタ回路に対する選択制御信号を形成するよう構成されたプログラマブルロジック回路をさらに備える請求項4

(11)

2記載のルックアップテーブル回路。

【請求項47】 プログラマブルロジックコネクタ回路に対する選択制御信号を提供するよう構成されたプログラマブル機能制御要素をさらに備える請求項46記載のルックアップテーブル回路。

(12)

【発明の詳細な説明】

【0001】

【発明の背景】

この発明は、プログラマブルロジックアレー集積回路デバイス（“プログラマブルロジックデバイス”または“PLD”）に係り、より具体的には、プログラマブルロジックデバイスに適用してこの種のデバイスの動作速度を増加するための相互接続リソースに関する。本発明はさらに、（例えばクロックおよびクリア信号等の）二次信号配分、入力／出力回路、ロジックモジュール間のカスケード接続等の、PLDの他の要素に関する。

【0002】

プログラマブルロジックデバイスは、典型的に、（1）多数の領域のプログラマブルロジックと、（2）これらのロジック領域間において相互に信号を伝送するためのプログラマブル相互接続リソースとを備えている。各ロジック領域は、いくつかの比較的単純なロジック機能を実施するためにプログラム可能である。相互接続リソースは複数のロジック領域が共に動作して個々のロジック領域が実施するものよりもはるかに複雑なロジック機能を実施し得るようにプログラム可能である。既知のPLDの例としては、ウォールストロームの米国特許第3473160号公報、フリーマンの米国特許第34363号公報、クリフ氏等の米国特許第5689195号公報、クリフ氏等の米国特許第5909126号公報、ジェファーソン氏等の米国特許出願第09/266235号公報に記載されており、これらはここにおいて参考に組み入れてある。

【0003】

PLDが動作する最大速度の典型的な尺度は、信号がデバイスを通じてあるロジック領域のレジスタ（またはレジスタを有するその他のリソース）から他のロジック領域のレジスタ（またはレジスタを有するその他のリソース）へ伝送されるために必要とされる最長時間である。PLDは、この最長信号伝送時間よりも短い周期を有するクロック速度に安定的に同期させることはできない。殆どのPLDにおいて重要な設計目標は、最長信号伝送時間を短縮することである。従つて、ロジック領域および相互接続リソースの両方が、この点を考慮して時間効率

(13)

化を目的として設計される。しかしながら、このことを一度達成すると、所与の集積回路製造技術において、最長信号伝送時間をさらに大幅に短縮することは困難である。例えば、相互接続速度を増加させるために、より大きなドライバおよびパストランジスタが使用されるが、これに対応してルーティングチャネル上に付加される拡散も増加する。金属RC遅延を縮小するためにコンダクタの相互接続に幅の大きい金属トラックを使用するが、これによってサイズが拡大する。結果として、最終的な速度の向上が低減する。

【0004】

前述の視点から、本発明の目的は、改善されたプログラマブルロジックデバイスを提供することである。

【0005】

さらに、本発明のより具体的な目的は、プログラマブルロジックデバイス用の改善された相互接続リソースを提供することである。

【0006】

さらに、本発明の別の具体的な目的は、プログラマブルロジックデバイスの最長信号伝送時間特性を、単純に全てのリソースの速度を増加させた際に生じる問題点を伴うことなく短縮するための相互接続リソースを提供することである。

【0007】

本発明のさらに別の目的は、二次（例えばクロックおよびクリア）信号配分、入力／出力回路、ならびに2つまたはそれ以上のロジックモジュールをカスケード接続する回路等の要素に関してPLDを改善することである。

【0008】

【発明の概要】

本発明のこれらおよびその他の目的は、本発明の原理に従って、少なくとも部分的に実質的に平行な2つの形状体またはサブセット内に構成された相互接続リソースを備えるプログラマブルロジックデバイスを提供することによって解決される。第1のサブセット内の相互接続リソースは、いわゆる“ノーマル”信号伝送速度特性を有するように形成される。実質的に平行な第2のサブセット内の相互接続リソースは、充分に大きな信号伝送速度特性を有するように形成される。

(14)

例えば、第1のサブセットと比べて、第2のサブセットはより大きなドライバおよびパスゲートと、より幅広かつ広く離間して配置されたコンダクタ用のメタルトラックと、さらに信号伝送速度を増加させるためのその他の特性をもって構成される。両方の形式の相互接続リソースが存在する場合、殆どのリソースはノーマル速度のものとし、少数（20%ないし33%、好適には25%）のリソースを高速度形式とすることが好適である。

【0009】

高速相互接続リソースは、デバイス上において充分に広域に広げて配置することが好適であり、これによって実質的に任意のデバイス上の2つ（またはそれ以上）のロジック領域間の信号のルーティングのために少なくとも部分的に使用することができる。（勿論、高速リソースは、略最高価値のものであり、従ってデバイス上において比較的に遠くにあるロジック領域間の接続を形成するために使用することに最も適していることが理解されよう。）従って、実質的にデバイス上の任意の位置のロジック領域間の相互接続は、全てノーマル速度相互接続リソースを介して形成されるか、または少なくとも部分的に高速相互接続リソースを介して形成される。

【0010】

高速度リソースに対する典型的な設計目標は、充分な量の充分に高速なリソースを設けることによってデバイスがクロックされる速度を倍増させることであり、従ってこれらのリソースはデバイスに最長の信号伝送時間をもたらす信号を伝送するために使用することができ、これによってこの信号の伝送時間を半減させることができる。他方、単にデバイス上の全ての相互接続リソースの速度を大幅に増加させる際の問題点を回避するために、任意の所与の種類の相互接続リソースのうちの少ない割合のみを高速度化する。多数の部分はノーマル速度のままでし、それほどの速度を必要としない大半の相互接続に使用される。

【0011】

本発明に従って、I/Oセル（I/O端子を含む）の配列をデバイス上のロジックおよび他の配列の中に点在させることによって、PLDの入力／出力（“I/O”）回路を改善することができる。これによってI/O端子がより均一にデ

(15)

バイスを横断して配置され、その結果デバイスの周囲にのみ I/O 端子を配置した場合に生じる I/O 端子不足を軽減することができる。I/O 端子をデバイスを横断して配分することによって、二次（例えばクロックおよびクリア）信号がデバイスの中央に近い I/O 端子から伝送されるため、これらの信号の配分（例えばスキューを削減して）を容易化することができる。二次信号配分回路は、このような改善された I/O 端子配置の利点を使用するように形成される。隣接するまたは近接するロジック領域間のカスケード接続は、これらの接続の速度を増加させ、実用性を向上させ、これが使用されていない際のデバイス上における負担を軽減するように改善することができる。

【0012】

本発明のその他の特徴、特性ならびに種々の利点は、添付図面を参照しながら以下に詳細に記述する実施例の説明によって明らかにされる。

【0013】

【実施例の詳細な説明】

図1には、本発明に従って構成された例示的なプログラマブルロジックデバイス10が示されている。デバイス10は12行のプログラマブルロジック領域20を含んでいる。各行は40個の領域20からなる。従って、領域20はデバイス10上において12行40列の領域20からなる2次元行列として配置されている。

【0014】

各領域20は、10個のプログラマブルロジック小領域30を含んでいる。図1の煩雑化を避けるため、個々の小領域30は最上部左端の領域20についてのみ示してある。この点に関して後で詳細に述べるように、各小領域30はデバイス10のユーザがプログラムしていくつかの比較的小さなロジック機能のいずれかを実施することができる。非常に複雑なロジック機能は、相互接続コンダクタのプログラマブルネットワークおよびデバイス10上の他の適宜な相互接続リソースを介して小領域30を連結することによって実施することができる。

【0015】

領域20の行の中に、5行の入力／出力（“I/O”）端子および関連するI

(16)

／O回路40が配分されている。I／O行40の1つは、領域20の行の最上部に配置されている。別のI／O行40は、領域20の行の最底部に配置されている。3番目のI／O行40は、3番目と4番目の領域20の行の間に配置されている。4番目のI／O行40は、6番目と7番目の領域20の行の間に配置されている。5番目のI／O行40は、9番目と10番目の領域20の行の間に配置されている。

【0016】

最上部のI／O行40の上方には、メモリ領域50の行が配置され、これはデバイス10のユーザがランダムアクセスメモリ（“RAM”）、リードオンリーメモリ（“ROM”）、積算項（“P項”）ロジック、内容アドレスメモリ等として使用することができる。別の同様なメモリ領域50の行は、最底部I／O行40の下方に配置されている。適宜なメモリ領域50の回路については、クリフ氏等の米国特許第5550782号公報、サング氏等の米国特許第5555214号公報、サング氏等の米国特許第5633830号公報、クリフ氏等の米国特許第5689195号公報、サング氏等の米国特許第5717901号公報、サング氏等の米国特許第5802540号公報、ヘイル氏の米国特許出願第09/034050号公報、ペダーソン氏の米国特許出願第09/023251号公報、レディ氏等の米国特許出願第09/107533号公報、レディ氏等の米国特許出願第09/107926号公報、ガイ氏等の米国特許出願第09/124649号公報、ヘイル氏の米国特許出願第09/292448号公報、ヘイル氏の米国特許出願第09/389995号公報に記載されており、これらは全てここにおいて全体的に参照に組み入れてある。

【0017】

メモリ領域50の各行の右端にはPLL回路の領域60が配置され、これは図1には示されていない外部回路からデバイス10に付加されるクロック信号に対して位相シフトされたクロック信号を形成するように使用される。適宜なPLL回路については、ジェファーソン氏の米国特許第5642082号公報、ジェファーソン氏の米国特許第5699020号公報、レディ氏等の米国特許第5847617号公報、サング氏等の米国特許出願第09/366940号公報、サン

(17)

グ氏等の米国特許出願第09/368464号公報、サング氏等の米国特許出願第09/392095号公報、サング氏等の米国特許出願第09/393036号公報に記載されており、これらはここにおいて参考として全体的に組み入れてある。

【0018】

領域50の最上の行の左端には、制御ロジックおよび端子の領域70が配置されている。この回路は、デバイス10を通常のロジック動作に使用している際より優先してこれをデバイスのプログラミングおよびテストに使用している際にこのデバイスを制御するために使用される。

【0019】

領域50の最底部の行の左端にはJTAGロジックおよび端子の領域80が配置されている。領域80の回路は、デバイスの使用者が通常のロジック動作に優先してデバイス10のインシステムプログラミングおよびテストに使用することができる。領域80に使用される適宜な回路は、例えばチュー氏等の米国特許第5650734号公報、およびウォン氏等の米国特許第5699312号公報に記載されており、これらはここにおいて全体的に参考に組み入れてある。

【0020】

図1に示された回路の最上の行はアドレスおよびレジスタ回路90であり、これは通常のロジック動作に優先してデバイス10をプログラムする際に使用される。図1に示された回路の最も左の列はデータレジスタ回路100であり、これは通常のロジック動作に優先してプログラムを行っている際に使用される。図1に示された回路の最も右側の列はテストレジスタ回路110であり、これは通常のロジック動作に優先してプログラムを行っている際に使用される。典型的な使用に際して、プログラミングデータは図示されていない外部回路から回路100にロードされる。このデータはデバイス10を通じて左から右に流れ、回路90内のアドレス上方によって決定された垂直スライス位置に記録される。デバイス10が適正にプログラム可能であることと、および／または適正に動作可能であることを確認するために使用するデータは、レジスタ110を介してデバイス10から読み出すことができる。例示的な回路において、前述した説明および領域

70についての記載によって示されたデバイス10のプログラミングおよびテスト特性に関しては、クリフ氏の米国特許第5237219号公報を参照すべきである。

【0021】

図1に示された要素でまだ説明していないものは、デバイス10の左右方向の中央またはその付近に配置されたいわゆる二次信号コンダクタと呼ばれる垂直配置領域120である。領域120は、信号伝送リソースのネットワークの一部であり、デバイス10全体で広く必要とされる信号を分配するために使用される。これらの信号の例としては、クロック信号、クリア信号、セット信号、リセット信号等が挙げられる。領域120および関連する回路の実施例が図7Aおよび図7Bに示されており、後でこの点に関して説明する。

【0022】

一般的に、プログラミングおよびテストモードと回路は実質的に本発明にとは関係なく、従ってデバイス10のこれらの機能をさらに詳しく説明する必要はない。このことは要素70, 80, 90, 100, および110に該当する。デバイスのこの特性に関する構造および技術は当業者において周知であり、この点に関して先に挙げた参考文献に例が示されている。PLL回路60の構成、動作、ならびに使用方法は実質的に本発明とは関係なく、これらの回路についてより詳しく説明する必要はない。再び、適宜なPLL回路は当業者において周知であり、この点に関して先に挙げた参考文献に例が示されている。本発明は、メモリ領域50を補助するように拡張することができ、このような拡張可能性については以下の記述において説明され、これは主に本発明をロジック領域20、I/O領域40、これらのロジック領域およびI/O領域を含む相互接続に適用することに関する。従って、メモリ領域50についてもさらに詳しく説明する必要はない。

【0023】

図2には図1の一部であるが、デバイス10に設けられた相互接続リソースのいくつかが示されている。ロジック領域20の各列に結合し、かつメモリ行50へと延在する、複数のいわゆる広域垂直コンダクタ200が設けられている。煩

(19)

雑化を避けるため、図1には代表的ないくつかのコンダクタ200のみが示されている。コンダクタ200の各グループは、参照符号200aで示される比較的大きなコンダクタのサブセットを有し、これは通常の信号伝送速度特性を有する。コンダクタ200の各グループはまた参照符号200bで示される比較的小さなコンダクタのサブセットを含んでおり、これは大幅に速い信号伝播速度特性を有する。例えば、各サブセット200aは該当するコンダクタ200のセットのうちの約67ないし80%（最も好適には約75%）を含んでおり、各サブセット200bは該当するコンダクタ200のセットのうちの約20ないし33%（最も好適には約25%）からなる。

【0024】

ロジック領域20の各列の上半分に結合し、またメモリ領域50の上の行に延在する、複数のいわゆる半垂直相互接続コンダクタ210が設けられている。半垂直相互接続コンダクタ210は、ロジック領域20の各列の下半分ならびにメモリ領域50の下方の行に結合されている。図面の煩雑化を避けるために、代表的なコンダクタ210のみが示されている。コンダクタ200の場合と同様に、コンダクタ210の各セットも比較的大きなノーマル速度コンダクタのサブセット210aと、比較的小さな高速コンダクタのサブセット210bを備えている。コンダクタ210aとコンダクタ210bの比率は、コンダクタ200aと200bの比率と同様なものにすることができる。

【0025】

ロジック領域20の各列に結合して、複数のいわゆる交互配置垂直（“IV”）コンダクタ220が設けられている。再び、図面の煩雑化を避けるため代表的なコンダクタ220のみが示されている。コンダクタ220の各グループは、上下に近接するロジック領域20とメモリ領域50との間を延在するとともに、間存在しているI/O領域40のいずれかを介して延在している。コンダクタ200および210が交差する要素20、40および50のいずれかの間ににおいて信号を伝送するために使用されるのに対し、コンダクタ220は上下に近接する要素20および50の間において接続速度を高めるために使用されるとともに、デバイス10上の垂直相互接続に必要とされるコンダクタ200および210の数を

(20)

削減するよう作用する。I Vコンダクタに関する追加的な詳細は、米国特許（出願番号、出願日不明、文書番号第174／173）に記載されており、これはここにおいて全体的に参照に組み入れてある。

【0026】

ロジック領域20の各行に結合して、複数のいわゆる広域水平相互接続コンダクタ230が設けられている。図面の煩雑化を避けるために代表的なコンダクタ230のみが図示されている。コンダクタ230の各セットは、比較的大きなノーマル速度コンダクタのサブセット230aと比較的小さな極めて高速のコンダクタのサブセット230bを含んでいる。ノーマル速度コンダクタと高速コンダクタとの比率は前述したノーマル速度コンダクタと高速コンダクタとの比率と同様である。

【0027】

ロジック領域20の各行の左半分に結合するとともにこれに沿って延在する、複数のいわゆる半または直接水平相互接続コンダクタ240が設けられている。半水平コンダクタ240はロジック領域20の各行の右半分に沿って延在している。再度、図面の煩雑化を避けるために少数の代表的なコンダクタ240のみが図示されている。

【0028】

さらに、ロジック領域20の各行に結合して、複数群のいわゆるHFN（第1ライン水平ネットワーク）相互接続コンダクタ250が設けられている。いくつかのHNFLコンダクタを短くする必要がある行の末端部を除いて、NFNコンダクタ250の各グループは10個のロジック領域20に架かっている。加えて、HNFLコンダクタ250の各グループ内のコンダクタは、ロジック領域20またはそのグループの中央付近にあるその他の信号源によってのみ駆動することができる（再度、行の末端のものは除いて）。コンダクタ230および240はこれらが架かっているロジック領域20のいずれかの間において信号を伝送することに使用され、コンダクタ250はロジック領域20またはこのコンダクタを含むグループの中央にある他の信号源から中央ロジック領域の左および/または右の固定数のロジック領域に伝送される。各行内の各ロジック領域20は、

(21)

該当する複数のコンダクタ250に対する中央／駆動ロジック領域となる。HNFLコンダクタに関しての追加的な詳細は米国特許出願（出願番号、出願日不明、文書番号174/173号）に記載されており、これはここにおいて全体的に参照に組み入れられている。

【0029】

図3には、ロジック領域20の行に結合された水平コンダクタからこの行内のロジック領域に信号を伝送するための代表的な相互接続および回路が示されている。図3には、ロジック領域付近を通過する215本のノーマル速度広域水平コンダクタ230aと、そのロジック領域付近を通過する100本の高速広域水平コンダクタ230bと、そのロジック領域付近を通過する105本の半水平コンダクタ240と、そのロジック領域付近を通過する90本のHNFLコンダクタ250と、そのロジック領域付近を通過する12本の二次コンダクタ260とが存在することが示されている。前述したように、最後に挙げた二次コンダクタ260は、クロック、クリア等の信号を伝送することができる。これらの信号260のうちのいくつかは中央二次信号領域120（図1）から伝送することができ；その他の信号はより局所的（例えば隣接するロジック領域20の行内）に形成されソースの局所内（すなわちそのソースの行）においてのみ使用することができる（後述する図7Aおよび図7Bに関する詳細な説明を参照）。

【0030】

図3には、さらに代表的な論理領域フィーディングコンダクタ300が示されている。図示されたコンダクタ300は、図示されたコンダクタ230a、230b等が作用するロジック領域行内の水平に近接する2つのロジック領域20の間に配置された26本のコンダクタのグループのうちの1つである。26本のコンダクタ300は、全てのロジック領域行内の全ての水平に近接するロジック領域20の間に間在している。

【0031】

各コンダクタ300について、コンダクタ230a、230b、240、および260のうちの選択された1つが2つのプログラマブルロジックコネクタ（“PLC”；例えばマルチプレクサ）270-1および270-2の入力に接続さ

(22)

れる。PLC270は、それぞれ通常プログラマブル動作制御要素（“FCE”）272によって制御され、その入力のうちのいずれかの上の信号をその出力に適用する。（4つの入力が図示されているが、各PLC270はそれよりも少ないかまたは多い入力（例えば、2, 3, 6, 7または8個の入力）を備えることもできることが理解されよう。）各PLC270出力信号は、該当する反転バッファ（増幅器）274に付加され、従って該当するPLC276の入力に付加される。PLC276への他の入力は、近接するコンダクタ230bおよび250のうちの選択された1つ、ならびに（伝送線280を介して）相関する（もし存在すれば）I/O領域40から通じている。PLC276はFCE（図示されていないがFCE272と同様である）によって制御され、その出力に入力のうちのいずれかの上の信号を付加する。PLC276の出力信号は、反転バッファ278を介してコンダクタ300に付加される。前述したI/O領域40とロジック領域20との相関は以下のようである：最上の行20と40、第2行40と第4行20、第3行40と第7行20、第4行40と第10行20、第5行40と第12行20である。

【0032】

図3に示された相互接続は、図示されたロジック領域20に近接するコンダクタ230, 240, 250, 260および280のそれがそのロジック領域の左または右の少なくとも1本のコンダクタ300へ通じる経路を有するように形成される。加えて、各コンダクタ230bおよび250は、PLC276を通じて直接的にかつPLC270を経由することなく、そのロジック領域の左または右の少なくとも1本のコンダクタ300へ通じる経路を有する。この最後の点は、コンダクタ230bおよび250が速度に関して最適化されているため重要であり、また要素276と278のみを介して信号をコンダクタ300に伝送する方が要素270および274も介して伝送するより高速である。

【0033】

図4には、水平に近接する領域20の間に配置されデバイスの他の相互接続リソースからこれらの領域に信号を伝送するとともにこれらの領域内の小領域30の中の局所的相互接続を形成するための代表的なコンダクタが示されている。こ

(23)

これらのコンダクタの各グループは、26本のコンダクタ300（その信号ソースは図3に示されている）と、近接するHNFLコンダクタ250の1つの支線と、10本の局所フィードバックコンダクタ310とを含んでいる。これらの局所フィードバックコンダクタ310のうちの5本は、図示されたコンダクタグループの左側の領域20内の小領域30のうちの5つからの信号を受信する。これらのコンダクタ310の残りの5本は、図示されたコンダクタグループの右側の領域20内の小領域30のうちの5つからの信号を受信する。

【0034】

各小領域30は、時々入力A-Dで示される4つのデータ信号入力を備える。コンダクタ300および310は、いずれもこれらのコンダクタの右側の10個の小領域30の入力AおよびCへ付加される信号源、ならびにこれらのコンダクタの左側の10個の小領域30の入力BおよびDへ付加される信号源として使用することができる。他方、図示されたHNFLコンダクタ支線250は、最上右側の小領域の入力Aに付加される信号源、ならびに最上左側の小領域の入力Bに付加される信号源として使用することができる。中間の4本のコンダクタ320が各小領域入力A-Dに結合されている。これらのコンダクタ320に交差するコンダクタ250, 300, および310のそれぞれが、各入力A-Dに結合された4本のコンダクタ320の1本に接続することができる。これらの接続は、FCE324によって4つずつのグループにおいて制御されるPLC322によって形成される。（4つずつのグループの例外として、HNFL支線250への接続のためにグループ分けが行われる。）従って、単一のFCE324は4本のコンダクタ300/310を各入力A-Dに結合された4本のコンダクタ320へ接続するようプログラムされる。各入力A-Dに付加される信号の最終的な選択は、この入力に結合された4つのFCE326の1つをプログラミングしてこの入力に結合されたPLC328のうちの1つを付勢することによって実施される。（他方、HNFL支線250上の信号は、該当するFCE324および326を適宜にプログラミングすることによってA入力またはB入力に付加することができる。）

【0035】

(24)

前述のことから、図4に示されているように、HNFL信号はコンダクタ300等が作用するロジック領域20への2つの可能な経路を有する。これらの経路のうちの1つは、図3の要素276および278を介する比較的高速なルーティングである。1つの特定のHNFLコンダクタ250および図4に示されたコンダクタ300は作用する最上部の小領域30に対する他の経路は、図4に示されたコンダクタ支線250と関連する要素322および328を介するより高速のルーティングである。多少低速ではあるが、第1の経路は、近接するHNFL信号を図4の回路が作用するロジック領域20への少なくとも多数の入力へ伝送する点において、より広範な目的を有している。他方、高速の経路は、近接するHNFLの1つにのみ作用し、図4の回路が作用するロジック領域20のそれぞれの中の1つの小領域30の入力端子への入力のみを可能にする点において、より限定的なものとなる。

【0036】

図5Aおよび図5B（図5で総称することもある）には、代表的な小領域30の例示的な実施例が示されている。小領域30の核は、4入力ルックアップテーブル（要素402, 404, 406, および408）とレジスタ480である。この点に関して後に説明する他の特徴とともに記述されるが、小領域30の基本的な動作は、入力A-Dの任意の論理的組合せとすることができるルックアップテーブルの出力信号（PLC408からの）を形成するようプログラム可能な4入力ルックアップテーブルである。ルックアップテーブル出力信号は、PLC482のいずれか1つまたはいくつかを介して直接的に出力される。他方、またはこれに加えて、ルックアップテーブル出力信号はレジスタ480によって記録され、その後記録されていないルックアップテーブル出力信号を出力するために使用されていないいずれかのPLC482を介して出力される。

【0037】

代表的な小領域30についてより詳細に説明すると、第1ステージの4入力ルックアップテーブルロジックは、4つの2入力ルックアップテーブル402a-402dとして構成されている。各ルックアップテーブル402は小領域入力AおよびBを受信し、これら2つの入力信号のいずれかの論理的組合せである出

力信号を形成する。4入カルックアップテーブルの第2のステージは、2つのPLC 404aおよび404bとして構成されている。PLC（例えばマルチプレクサ）404は、(1) 小領域30へのC入力か、(2) 小領域30へのD入力か、または(3) PLC 410bによって選択されたキャリーイン信号によって制御することができる。選択肢(1)、(2)、および(3)からの選択は、PLC 414aを適宜にプログラムすることによって実施される。小領域が特定のバイナリ計算動作（例えば、高速加算器、カウンタ、マルチプライア、およびワイドparity機能）の一部分を実施するために使用される場合、選択肢(3)が選択される。選択肢(1)と(2)の間の選択は、エレメント406, 408および418に関連して詳細に説明する信号タイミング要件に基づいて実施される。出力信号PLC 404aおよび404bは、それぞれ反転バッファ406aおよび406bによって増幅されている。（要素404はしばしばPLCと呼称されるが、これらはプログラム制御よりむしろ動的に制御される。言い換えると、FCEによってプログラム制御されデバイス10が一度プログラムされた通り常に同一の信号選択をするよりも、むしろ要素404はデバイスの通常ロジック動作中の異なった時間に異なった信号選択を実施し、これはその制御信号はそのロジック動作の結果に起因して変化するロジック信号であるためである。にもかかわらず、ここで404のような要素はPLCと呼称される。より正確にするために、これらの動的制御された要素は、しばしば代わりにロジックコネクタと呼称される。要素404のようにPLCと呼ばれたりロジックコネクタと呼ばれたりするその他の要素の例は、要素408, 410, 422, 442, 464, 466である。）

4入カルックアップテーブルロジックの最終ステージはPLC（例えばマルチプレクサ）408によって構成される。PLC 408は、(1) 小領域30へのC入力か、(2) 小領域30へのD入力か、または(3) 別の隣接するまたは近傍の小領域30からのいわゆる“直接接続”入力DCINによって制御することができる。これらの選択肢(1)、(2)、および(3)の中からの選択はPLC 418を適正にプログラミングすることによって実施される。選択肢(3)は、図示された小領域30が他の近接するまたは近傍の小領域からの直接接続信号

を受信することに（少なくとも部分的に）基づいたロジック機能を実施している場合に選択される。これらの小領域間の直接接続は、広範なファンインロジック機能等の操作を実施するために使用することができ、これはいくつかの小領域を直列接続することを必要とし、これはしばしばカスケードチェーンと呼称される。（プログラマブルロジックデバイス内のロジックモジュール間のカスケード接続についての詳しい説明については、例えばクリフ氏等の米国特許第5258668号参照すべきである。この文献はここにおいて全体的に参考に組み入れてある。）選択肢（1）と（2）との間の選択は、信号タイミング要件に基づいて実施される。

【0038】

前記の2つの段落に関する信号タイミング要件は、4入力ルックアップテーブルロジックによって処理されそのロジックの最終ステージ（すなわちPLC408の制御入力端子）に伝送される最も低速のデータ信号のルーティングを含んでいる。このようにして、先に到達したデータ信号は、ルックアップテーブルロジックの最初の2つのステージによって処理されバッファ406aと406bの出力端子上に既にバッファされた2つの信号を形成する。最後に到達するデータ信号を受信すると、PLC408は最後に到達する信号の状態によって選択されたバッファ出力信号を直ちに出力することが可能となる。最後に到達するデータ信号をルックアップテーブルの最終ステージに付加することによって、ルックアップテーブル出力信号は、最後に到達するデータ信号をルックアップテーブルの前方ステージに付加する場合に比べて、著しく迅速なものにすることができる。このルックアップテーブルの高速化は、PLC408の下流側のバッファによって最終ルックアップテーブル信号を遅延させるよりも、むしろPLC408の上流側にバッファ406を設置することによりさらに増進することができる。

【0039】

前述した要素414aおよび418は、入力Cまたは入力Dのいずれか一方をルックアップテーブルの最終ステージに付加されるものとして選択することを可能にする。従って、最終ステージに対して選択されていない入力CまたはDは、ルックアップテーブルの最終前のステージに付加することができる。入力Dが小

領域の右側のコンダクタ300／310から通じているのに対して入力Cは小領域30の左側のコンダクタ300／310（図4）から通じているため、入力Cまたは入力Dのどちらかを最後に到達する入力として選択する（PLC414aおよび418を使用して）可能性により、デバイス内のルーティングの制約が容易になる。従って、最後に到達する信号は、小領域の左側または右側のいずれかのコンダクタ300／310を介して到達するようルーティングすることができる。

【0040】

直接接続信号DCINは比較的遅く到達するため（例えば、比較的長いカスケードチェーンの下流端部付近で形成された場合）、この信号もPLC418によって選択してルックアップテーブルの最終ステージへ付加することができる。このこともカスケードチェーンの高速化を補助する。

【0041】

図5Aの他の要素について説明を続けると、小領域30がバイナリ加算、カウンティング等の一部を実行するために使用される場合、要素402a、402bは入力A、入力B、およびキャリーイン信号（PLC410bからの）の合計の2つの先行値を形成するようプログラムすることができる。PLC404aは、キャリーイン信号（PLC414aを介して）によって制御され、これらの2つの先行値のうちの適宜な1つを合計出力信号として選択する。PLC408は、合計出力信号を常に図5Bの回路に伝送するよう制御される。このPLC408の状態は、小領域に対してD入力を使用してPLC408を制御するとともに関連する全てのD入力要素328（図4）をオフ状態にプログラムすることによって達成され、このことによりD入力は高位の初期設定とされる。）要素402cおよび402dは、入力A、入力B、およびキャリーイン信号の合計からなるキャリーアウトの2つの先行値を形成するようにプログラムされる。この2つの先行値は、バッファ420aおよび420bによってそれぞれ反転され、平行して各PLC（例えばマルチプレクサ）422aおよび422bの2つのデータ入力に付加される。PLC422aおよび422bは、小領域30に付加されたC0INおよびC1IN信号に基づいてC0OUTおよびC1OUTとして出力する

先行値をそれぞれ選択する。各小領域30のC0OUTおよびC1OUT信号は、キャリーチェーンの中の次の小領域30のC0INとC1IN信号となる。従って、高速化キャリーチェーンのための回路の一部として2つのキャリー信号が伝送される。この回路（PLC410bを制御するためのLABCINH信号の形成を含んでいる）は、本発明の構成要素ではなく、従ってさらに詳細な説明は省略する。しかしながら、これについては、米国特許（出願番号、出願日不明；文書番号174/176号）に記載されており、これはここにおいて全体的に参照に組み入れてある。

【0042】

要素430, 432, 434, 436, 438, 440, 442, および444は、小領域30の乗算動作を実行および高速化する回路の一部として設置される。回路（PLC410aを制御するためのLABCINV信号の形成を含む）も本発明の構成要素ではないので、その詳細な説明は省略する。しかしながら、これについては、米国特許（出願番号、出願日不明；文書番号174/175号）に記載されており、これはここにおいて全体的に参照に組み入れてある。

【0043】

要素450および452は、レジスタ480（図5B）がいわゆる“単独レジスタモード”において使用されることを可能にする回路の一部である。すなわち、レジスタ480がPLC408からのルックアップテーブル出力信号を記録するために必要とされていない場合、レジスタは代わりに入力Cおよび入力Dを記録するために使用される。C/Dの選択は、PLC414bによって実施される。PLC450は、選択された信号の真値または補数値のいずれか一方を伝送するようプログラムされる。バッファ452は、選択された信号を反転および増幅する。

【0044】

ここで、図5Bに示されている代表的な小領域30回路の部分について説明すると、要素454および456は、ルックアップテーブル出力信号（図5AのPLC408からの）をこの小領域の直接接続出力信号（DCOUT）として出力することを可能にする。各小領域30のDCOUT信号は、カスケードチェーン

(29)

または小領域列内の次の小領域のD C I N信号となる。要素454はD C O U T信号用の反転バッファであり、要素456はこの信号用のレベル復元回路の一部である。

【0045】

要素460および462は、PLC464および466の状態を要素460のプログラミングと、バッファ452(図5A)の論理状態と、SCAN、SYNCLD、およびSYNCLR信号の論理状態とに基づいて制御するための回路である。SCAN信号は、デバイスをスキャンテストモードに設定するためのデバイス広域信号であり、このモードにおいてデバイス上のレジスタ480およびその他のレジスタはスキャンチェーン内で効率的に接続され、それらの内容を読み出すとともにこれによってデバイスが適正に動作するよう迅速に検査する。従つて、SCAN信号が確認されると、デコーディングロジック462がPLC464および466を制御し、SCANIN信号をレジスタ480に付加する。各小領域30のSCANIN信号は、1つ前の小領域またはスキャンチェーン内の他のレジスタ回路SCANOUT信号である。レジスタ480のQ出力信号は、小領域30のSCANOUT信号として反転バッファ486を介して出力される。

【0046】

SYNCLDおよびSYNCLRは、小領域30を含む領域20について領域全体のベースで選択することが好適な信号である。これらの信号は、レジスタ480を同期的にロードするかまたは同期的にクリアするのに適した信号を付加するようデコーディングロジック462を付勢するために使用される。例えば、VSS(接地またはロジック0)はPLC464および466を介してレジスタ480のD入力端子に接続され、これによってレジスタの同期的なクリアを生じさせる。このロジック462への入力、ならびに結果としてこのロジックからの出力の他の状態は、レジスタ480がその出力信号を再登録するか、いわゆるバッファ44(図5A)からの“直接合計出力”信号DSOを記録するか、またはバッファ452(図5A)の出力信号を記録する単独レジスタモードで動作することを付勢する。ここで全体的に参照に組み入れられているペダーソン氏の米国特許第5835998号公報には、要素460および462として464、466

, 480等の要素（以下に詳細に説明する要素490, 492, 494および496等の要素）を制御するよう使用することができる回路の例が示されている。

【0047】

要素470, 472, および474は、クロック信号CLK0またはCLK1のいずれか一方をレジスタ480のクロック入力端子に付加するクロック信号として選択することを可能にする。FCE470は、PLC472が2つのクロック信号のうちの1つを選択することを付勢し、これはバッファ474によって反転されレジスタ480に付加される。

【0048】

要素490-496は、レジスタ480を制御して、多様なプリセット、同期ロード、およびクリア動作を実施するようプログラム可能か、または動作可能である。要素490はFCE、要素492はインバータ、要素494aおよび494bはANDゲート、要素494cおよび494dはORゲート、要素496aはNORゲート、要素496bはNANDゲートである。PRE/ASYNLD信号は、非同期ロード制御信号である。NCLR信号はクリア信号である。

【0049】

PLC482a-cは、FCE（図示されてない）によってプログラムし、VSS（ロジック0）、レジスタ480のQ出力、またはPLC408（図5A）からの記録されていないルックアップテーブル出力信号のいずれかを出力することができる。PLC482dも、VSSに代えてVCC（論理1）を出力し得る点を除いて同様である。PLC482aの出力信号は、反転バッファ484aによって小領域30の第1出力線OUT0に付加される。PLC482bの出力信号は、反転バッファ484bによって小領域30の第2出力線OUT1に付加される。PLC482の出力信号は、反転バッファ484cによって小領域30のLOCAL出力線に付加される。PLC482dの出力信号は、反転バッファ484dおよび484d'によって交互配置垂直（“IV”）コンダクタ220に付加される。

【0050】

OUT0およびOUT1信号の目的は、図6に基づいて以下に説明する。LO

(31)

CAL信号は、小領域30を含んでいる領域20の左側または右側の局所フィードバックコンダクタ310（図4）のうちの1本に付加される。特に（また既に記述したように）、各領域20内の小領域30の半分のLOCAL出力その領域の左側のコンダクタ310のそれぞれに付加され、各領域内の小領域の残り半分のLOCAL出力はその領域の右側のコンダクタ310に付加される。LOCAL出力信号と同様な方式で、各領域20内の小領域30の半分のIV出力線220はその領域から上方に延在しており、残り半分の小領域の出力線220はその領域から下方に延在している。

【0051】

図6には、小領域30からデバイスの相互接続コンダクタへの接続、ならびに種々の相互接続コンダクタ間の接続を形成するための代表的な回路が示されている（図4に示されたものと違うものであり、既に説明済みである）。図6は、ドライバ回路の代表的なブロック500を有することを特徴とする。4つの小領域30からなる各グループに結合された、この種のドライバ回路のブロックは、水平に隣接する2つの領域20のそれから2つの小領域を含んでいる。

【0052】

まず、左側の上部小領域30の種々の出力信号について考えると、その小領域のOUT0信号がPLC502の1つの入力端子に付加される。（OUT0信号は図6に示されたものの左側のドライバブロックにも付加される。）PLC502へのその他の入力は、（1）図6に示された、同じ領域20の列であるが小領域を含む行の上または下の行内の小領域30からの交互配置垂直信号220のうちの1つ、（2）OUT0を生成するものと同じ小領域30からの直接合計出力信号DSO、および（3）図6に部分的に示されているドライバ回路ブロック500の列と結合された高速半垂直コンダクタ210bのうちの1つである。PLC502は、その4つの入力信号のうちの1つを選択して反転バッファ504に付加するようプログラム可能である（図6には図示されていないFCEによって）。バッファ504の出力信号は、図6の左側に示された小領域を含む領域20の列の中央に配置されたコンダクタのグループ内のHNFLコンダクタ250の1つに付加される。特に、バッファ504の出力信号は領域20の列の左側に延

在するHNFLコンダクタセグメント250へ付加される。反転バッファ562（以下により詳細に説明する）の出力信号は、領域20の右側に延在する同一のHNFLコンダクタ250のセグメントに付加される（左右に延在する各HNFLコンダクタ250のセグメントは実質的に分離したコンダクタであり、これは分離して駆動可能であり、しばしば総称して単一のHNFLコンダクタ250と呼称される）。

【0053】

図6の上部左側の小領域30のOUT1出力信号は、各PLC510, 522, 530, 540, 550, および560の1入力端子に付加される。PLC560の他の入力は、前述したPLC502への入力（1）～（3）と同様になる。PLC560は、その4つの入力信号のうちのいずれか1つを反転バッファ562に付加して、前の段落で説明したように、右側に延在しているHNFLコンダクタ250のセグメントに付加するようプログラムすることができる。

【0054】

図6の上部左側の小領域30のいわゆるLOCAL出力信号は、近接する局所フィードバックコンダクタ310の1つに付加される。前述したように、各領域20内の小領域30の半分のLOCAL出力信号はその小領域の左側の局所フィードバックコンダクタ310に付加され、各領域内の小領域の残り半分のLOCAL出力信号はその小領域の右側の局所フィードバックコンダクタ310に付加される。

【0055】

図6内の上部左側の小領域30のIV出力信号は、図6に部分的に示された行の上方の行内の適宜な位置に延在しているIVコンダクタ220に付加される。

【0056】

図6の下部左側の小領域30の出力信号の目的は、一般的に前述した上部左側の小領域と同様である。OUT0信号は、PLC506への入力の1つである。（再び、このOUT0信号は左側の別のドライバブロック500にも付加される。）PLC506への別の入力は、（1）近接する高速広域垂直コンダクタ200bからの信号、（2）IV信号220、および（3）下部左側の小領域30の

直接合計出力信号である。PLC506は、その入力信号のうちのいずれかを反転バッファ508に付加し、別の近接する、左側に延在するHNFLセグメント250に付加するようプログラムすることができる。

【0057】

下方左側の領域30のOUT1信号は、PLC510, 522, 530, 540, 550、および564に付加される。PLC564への他の入力は、前述したPLC506への入力(1) - (3)と同様であり、PLC564の出力は(バッファ566を介して)バッファ508が駆動するものと同じHNFLコンダクタの右方に延在するセグメントに付加される。下方左側の小領域30のLOCAL出力信号は、近接する局所フィードバックコンダクタ310に付加される。下方左側の小領域30のIV出力信号は、図6の回路を含む行の下側に近接する行内の適宜な位置に延在するIVコンダクタ220へ付加される。

【0058】

図6に示された上方右側の小領域30のOUT0信号は、各PLC510, 522, 530, 540、および550の1入力端子に付加される。この信号は、図6に示されたものの右側の別の同様なドライバブロック500にも付加される。上方右側の小領域30のOUT1およびDSO出力信号は、右側のドライバブロックにも付加される。上部右側の小領域30のLOCAL出力信号は、近接する局所フィードバックコンダクタ310に付加される。上部右側小領域30のIV出力信号は、上方へ延在するIVコンダクタ220に付加される。

【0059】

下部右側小領域30の出力信号の目的は一般的に同様なものである。OUT0信号は、各PLC510, 522, 530, 540、および550の1入力端子、ならびに図6に示されたものの右側のドライバブロック500に付加される。OUT1およびDSO信号も右側のドライバブロック500に付加される。LOCAL出力信号は、近接する局所フィードバックコンダクタ310に付加される。IV出力信号は、図6に部分的に示された行の下に近接する行内の同様な位置に向かって下方に延在するIVコンダクタ220へ付加される。

【0060】

PLC510は、(図示されてないFCEによって)その入力信号のうちのいずれかを選択してドライバ512に付加するようにプログラムすることができる。ドライバ512の出力信号は、PLC514(例えばデマルチプレクサ)に付加され、これはFCE(図示されていない)によってプログラムしその入力信号をその出力端子のいずれかに付加することができる。PLC514の1出力端子は、近接する高速広域垂直コンダクタ200bに接続される。PLC514の別の出力端子は、近接する高速半垂直コンダクタ210bに接続される。前述のことより、要素510, 512, および514は、左側の小領域30のOUT1信号、または右側の小領域30のOUT0信号のうちのいずれか1つを、近接する高速広域垂直コンダクタ200bまたは近接する半垂直コンダクタ210bのいずれかに接続することを可能にする。この要素510, 512, および514は、図6に示されたドライバブロック500が作用する4つの小領域30のいずれかが、高速広域垂直コンダクタ200bまたは高速半垂直コンダクタ210bのいずれかを駆動することを可能にする。

【0061】

まだ説明していないPLC522への入力は：(1)近接する1つの高速広域垂直コンダクタ200bの1つからの信号、(2)近接する高速半垂直コンダクタ210bの1つからの信号、(3)2つの交互配置垂直コンダクタ信号220(そのうち1つは図6に部分的に示された行の上の行から伝送され、他の1つは図6に部分的に示された行の下の行から伝送される)、(4)近接する4本の広域垂直コンダクタ200aのうちの1本からの信号(この4つのうちの1つの信号の選択はPLC520によって実施される)である。デバイス10上の他のPLCと同様に、PLC522はFCE(図示されていない)によってその入力のうちのいずれか1つを選択してトリステートドライバ524に付加するようプログラム制御される。トリステートドライバ524は、FCE526によってオフ(高出力インピーダンス)またはオン(付加されたデータ入力信号を伝送および増幅することができる)のいずれかにプログラム制御される。トリステートドライバ524の出力信号は、高速広域水平コンダクタ230bのうちの近接する1つに付加される。前述のことから、要素522, 524, および526が図6に示

されたドライバブロック 500 が作用する小領域 30 のうちのいずれか 1 つの出力信号が近接する高速広域水平コンダクタ 230b のうちの 1 つ上に伝送されることが理解される。他の例においては、要素 522, 524, および 526 は、近接する高速広域垂直または高速半垂直コンダクタ 200b または 210b のいずれかからの信号を転向させて前述した高速水平コンダクタ 230b 上に伝送することを可能にする。さらに別の変更例においては、要素 522, 524, および 526 は、2 つの交互配置垂直コンダクタ信号 220 のいずれか一方を前述した高速広域水平コンダクタ 230b 上に伝送することを可能にする。最後の変更例においては、要素 520, 522, 524, および 526 は、近接する 4 つの広域垂直コンダクタ信号 200a のうちの 1 つを転向させて前述した高速広域水平コンダクタ 230b 上に伝送することを可能にする。

【0062】

次に、まだ説明していない PLC 530 への入力について考えると、PLC 520 に付加された 4 つの信号のうちの 2 つは PLC 530 にも付加され、近接する 2 つの半垂直コンダクタ 210a からの信号と同様である。PLC 522 に付加される交互配置垂直コンダクタ信号の 1 つは、PLC 530 にも付加される。デバイス 10 上の他の PLC と同様に、PLC 530 は、FCE (図示されていない) によってその入力のいずれか 1 つをドライバ 532 に付加しそのデバイスによって使用するようにプログラムすることができる。ドライバ 532 の出力信号は PLC 534 に付加される (例えばデマルチプレクサ)。PLC 534 は、FCE (図示されていない) によってその入力信号をその出力線のいずれかに付加するようプログラム制御される。PLC 534 の出力線のうちの 2 つは、近接する 2 つの広域水平コンダクタ 230a にそれぞれ接続される。PLC 534 の第 3 の出力線は、近接する半垂直コンダクタ 210a に接続される。前述のことから、要素 530, 532, および 534 は、図 6 に示された 4 つの小領域 30 のうちのいずれか 1 つの出力信号を近接する通常 (ノーマル速度) の水平および垂直コンダクタ 230a および 210a のいずれかに伝送するために使用することができる。他の例において、要素 530, 532, および 534 は、近接する通常 (ノーマル速度) コンダクタ 200a および 210a からの信号または相互

配置垂直コンダクタ220からの信号を通常の水平または垂直コンダクタ230aまたは210a上に伝送するために使用することができる。従って、530, 532, および534は、例えば、信号を通常の垂直コンダクタから通常の水平コンダクタへ転向させることを可能にする。

【0063】

要素540, 542, および544への入力およびこれから出力は、一般的に前述した要素530, 532, および540のものと同様である。異なるのは、(1) PLC530のものとは異なったコンダクタ220がPLC540に接続される点と、(2) コンダクタ210aの1つのみがPLC540に接続され、(3) PLC544の3番目の出力が半垂直コンダクタ210aではなく近接する広域垂直コンダクタ200aに付加される点である。しかしながら、要素540, 542, および544は、要素530, 532, および534に比べてより多くの同じ基本型のルーティング能力を提供する。

【0064】

まだ説明していないPLC550の入力は、近接する4つのコンダクタ200aおよび近接する3つのコンダクタ210aからの信号である。デバイス10上のその他の類似のPLCと同様に、PLC550は(図示されてないFCEによって)付加された信号のうちのいずれか1つを選択してドライバ552に使用するようプログラムすることができる。ドライバ552は受信した信号を増幅して、増幅された信号を近接する直接水平コンダクタ240のいずれか1つに付加する。従って、要素550および552は、図6に示された小領域30のいずれか、または複数の近接する垂直コンダクタ200aまたは210aのいずれかが、近接する直接水平コンダクタ240をドライブすることを可能にする。例えば、要素550および552は、垂直コンダクタ200aまたは210aからの信号を水平コンダクタ240に転向させることを可能にする。

【0065】

前述のことから、本発明に従って構成されたプログラマブルロジックデバイス10がノーマル速度形式およびより高い速度(“高速”)形式の両方の形式で設けられた相互接続リソースを少なくともいくつか備えることが理解されよう。両

方の形式は、互いに“構造的に類似”していることが好適である。“構造的に類似”とは、両方の形式の相互接続リソースのいずれを使用しても一般的に同形式のルーティングが可能であることを意味する。いずれかの形式の相互接続リソースを使用する基本的に類似の経路を介して同一のソースからの信号が得られる。しかしながら、高速形式のリソースを介するとノーマル速度形式のリソースを介するよりも、信号は大幅に速く伝送される。

【0066】

高速形式の相互接続リソースは、いくつかの経路よりも高速に形成することができる。例えば、高速コンダクタは、通常速度コンダクタに比べて幅広かつ互いの離間距離を広げて構成することができる。特に、高速コンダクタはノーマル速度コンダクタに比べて2ないし3倍の幅をもって形成することができる。これに代えてまたは加えて、高速コンダクタ間の離間距離は、ノーマル速度コンダクタ間の離間距離に比べて2ないし3倍とすることができる。高速コンダクタに対して厚い上金属層を使用することが好適であり、他方通常のルーティングは薄い低金属層を使用する。この技術を使用することによって、高速コンダクタのRC時定数はノーマル速度コンダクタのRC時定数に比べて20%削減される。ドライバ（例512および524）およびバスゲートを提供する高速コンダクタは、より大きくかつより強力（例えば、ノーマル速度ドライバ532, 542, 552に比べて）に構成することができる。例えば、高速ドライバは、ノーマル速度ドライバのトランジスタサイズの約2倍のトランジスタサイズを有することができる。加えて、ノーマル速度ドライバは出力デマルチプレクサを有するドライバを使用して実施されるのに対して、構造的には同様な高速ドライバはより好適な速度を達成するために個別のトリステートドライバとして実施することができる。高速コンダクタに接続されるPLC（例えば、マルチプレクサ510およびデマルチプレクサ514）は、ノーマル速度コンダクタに接続された対応する要素（例えば530および534）に比べてより少ない入力（マルチプレクサに対し）およびより少ない出力（デマルチプレクサに対して）をもって形成することができる。高速コンダクタは、対応するノーマル速度コンダクタに比べて、より少ないタップを有し、従ってより少ないローディングを有する。これらの技術の

いずれかまたは全てを、構造的には同様なノーマル速度コンダクタに比べて大幅に速い高速相互接続リソースを形成するために使用することができる。例えば、本発明に従って、デバイス10において、ノーマル速度相互接続リソースのみによって達成される同一の接続に比べて約2倍の速度を達成するいずれかの相互接続（特に比較的長い相互接続）の提供を少なくとも補助する高速相互接続リソースを得るという設計目的を達成することができる。

【0067】

デバイス10における構造上は類似のノーマル速度および高速相互接続リソースの特定の例は以下のものである：ノーマル速度相互接続リソースを介して領域20内の第1行第1列の第1小領域30から領域20の第2の遠隔行および第2の遠隔列の第2の小領域30へ信号を伝送するため、ノーマル速度要素540, 542, および544を使用して第1の小領域から近接するノーマル速度垂直コンダクタ200aへ传送する。ノーマル速度垂直コンダクタ200aを使用して第1の小領域30の行から第2の小領域30へ传送する。目的の行において、ノーマル速度要素530, 532, および534を使用して前記垂直コンダクタ200aからノーマル速度水平コンダクタ230aへ传送する。目的の列において、ノーマル速度要素270, 274, 等を使用し、目的の小領域への入力回路300/320へ传送する。反対に、高速相互接続リソースを介して同じ相互接続を形成するため、高速要素510, 512, および514を使用して第1の小領域30の出力信号を近接する高速垂直コンダクタ200bまたは210bに付加する。目的の行において、高速要素522および524を使用して信号を高速垂直コンダクタから高速水平コンダクタ230bに転向させる。目的の列において、高速要素276を使用して信号を高速水平コンダクタ230bから目的小領域30の入力回路300/320に传送する。

【0068】

前述のことより、符号“b”を付けた参照符号で示した高速コンダクタに加えて、デバイス10の高速相互接続リソースは、PLC、ドライバ等を含み、これらは主に前記の高速コンダクタに作用する。例として、PLC 510, 514, 522, および276、ならびにドライバ512, 524, および278が挙げ

られる。構造的に類似のノーマル速度PLCおよびドライバ（主にノーマル速度コンダクタ）としては、530, 532, 534, 540, 542, 544, 550, 552, 270, および274が挙げられる。

【0069】

構造的に類似する高速およびノーマル速度形式の特定の相互接続リソースの装備に加えて、デバイス10はデバイスの全体速度を増加させることを補助する他の相互接続リソースを備えることができる。これらのリソースの例としては、HNFLコンダクタ250（高速部分的相互接続コンダクタと呼ばれることがある）、およびこれらのコンダクタをドライブする結合されたPLC502, 506, 560, 564、および504, 508, 562、ならびに566が挙げられる。コンダクタ250は比較的短く従って少数のタップを有するため高速である。これらをドライブするPLCおよびドライバは高速に形成することができる（例えば、比較的少ない入力を有するPLCと比較的大型かつ強力に形成されたドライバを使用することによって）。

【0070】

デバイス10上に設けられこのデバイスの速度を増加させる相互接続リソースの別の例は、IVコンダクタ220である（ブリッジング相互接続コンダクタと呼ばれることがある）。これらのコンダクタは、隣接するまたは近傍にある領域20の行の間において比較的直接および短い接続を形成する。これらは比較的強力なドライバ484によってドライブすることができる。これらを使用する場所において、1つの行から他の行への伝送を行うために長い、従ってより低速の汎用垂直相互接続コンダクタ200/210を使用する必要が除外される。

【0071】

図7Aには、二次信号コンダクタリソース領域120および関連する回路の実施例が詳細に示されている（図7Aの回路に示されている追加的な要素は図7Bに示されている）。4本のコンダクタ610は、実質的にデバイス10の垂直方向寸法全体にわたって垂直に延在している。コンダクタ610のそれぞれが、4つの専用のクロック信号入力端子612-1ないし612-4のうちのそれぞれ1つからの4つのクロック信号のうちの1つをそれぞれ伝送し、前記のクロック

信号入力端子は、デバイス10の中央付近に配置され、デバイス全体にわたったクロック信号スキーを削減するよう作用する。コンダクタ610上のクロック信号は、各行に近接する水平クロックコンダクタ620を分岐させることによって水平に領域20, 40等の各行にに対して配分される。コンダクタ620は、参照符号260によって既に特定されたコンダクタ（例えば図3）の中に含まれるものである。コンダクタ620上の信号は、近接する（従って結合された）ロジック領域20またはI/Oセル630に付加される。

【0072】

6本の追加的なコンダクタ640は、実質的にデバイス10の垂直方向の寸法全体にわたって垂直に延在している。各コンダクタ640は、6個のいわゆる高速信号のうちの1つをそれぞれ伝送する。これらの高速信号のそれぞれは、デバイス10の中央付近に配置された6個の専用入力端子642-1ないし642-6のうちの適宜な1つ、または同様にデバイス10の中央付近に配置されたロジック領域20-1/20-2のうちの選択されたもののいずれかから伝送される。前述した高速信号を供給するための追加出力線を有することを除いて、ロジック領域20-1ないし20-2はデバイス10上の他のロジック領域と同様なものとすることができます。PLC644は、各入力端子642と結合され、入力端子の信号またはロジック領域20-1あるいは20-2のいずれかを高速信号としてプログラム制御で選択する。各PLC644の出力信号は、相関するバッファ646を通してコンダクタ640のうちの1つにそれぞれ付加される。各PLC644の出力信号は、さらに、領域20-1および20-2を含む行と結合された6本の水平高速コンダクタ650のうちの1本、ならびに領域20-1および20-2を含むロジック領域の行と結合されたI/O行40と結合された6本の同様な水平高速コンダクタ650のうちの1本に付加される。（この点について先に説明したように、I/O行40とロジック領域行との間の完全な相関は以下のものである（図1参照）：それらは、（1）最上のI/O行40と最上のロジック領域行、（2）上から2番目のI/O行40と上から4番目のロジック領域行、（3）上から3番目のI/O行40と上から7番目のロジック領域行、（4）上から4番目のI/O行40と上から10番目のロジック領域行、（5）最

(41)

底部の I/O 行 40 と最底部のロジック領域行である。

【0073】

前の段落で参照符号 20-1 および 20-2 として説明したもの以外のロジック領域行および I/O 行は、結合された水平高速コンダクタ 650 を備えている。これらの他のロジック領域行のそれぞれに対して、結合された各コンダクタ 650 上の信号がコンダクタ 640 またはその行内かつ領域 120 に近接するロジック領域 20 のいずれか一方からそれぞれ伝送される。PLC 648 は、これらの追加的な高速信号選択を形成するために設けられている。前の段落で説明したもの以外の各 I/O 行 40 に対して、結合されたコンダクタ 650 上の信号は、この I/O 行に結合されたロジック領域行に結合されたコンダクタ 650 上の信号と同一である。

【0074】

コンダクタ 650 も先に参照符号 260 で示したコンダクタ（例えば図 3）の中に含まれている。各ロジック領域行または I/O 行に結合されたコンダクタ 650 上の信号は、その行内のロジック領域 20 または I/O セル 630 に付加される。

【0075】

前述のことから、ロジック領域 20（およびこのロジック領域行に結合された各 I/O 行 40）の各行に結合された各高速コンダクタ 650 の信号は、局所的に形成するか（その行の中央付近のロジック領域 20 の 1 つによって）、またはより広域的に形成することができる（ロジック領域 20-1 / 20-2 の 1 つ、または入力ピン 642 から）。高速コンダクタ 640 / 650 を入力端子 642 またはロジック領域 20 のいずれかによってドライブ可能にすることにより、入力端子に加えて内部で形成されたロジックによってロースキュー二次信号のいくつかをドライブすることが可能になる。各高速コンダクタ 640 / 650 を好適にはただ 1 つの入力端子またはただ 1 つの特定ロジック領域によってドライブ可能にすることにより、ロジック領域出力信号または入力端子信号を広域二次信号コンダクタネットワーク上に伝送するために必要なルーティングの総量を削減することができる。広域クロック信号を専用の入力端子 612 によって直接ドライ

ブ可能にすることにより、これらの信号を最大限に高速化することができる。専用ソース 610/620/20-1/20-2 等の全てを選択してデバイスの中央付近に配置することにより、デバイスを介する信号スキューレの総量を削減することができる。ロジック領域 20 の各行に結合された高速コンダクタ 650 の信号を局所的な配置する可能性により、デバイス 10 が同時に作用する他の多数の二次信号を有することが可能となる（すなわち、10 個の広域信号 + N × 6 個の局所信号であり、N はロジック領域の行数である）。加えて、ロジック領域によってその行内に配置される局所二次信号は、中央スパインから広域的にドライブされるために必要なものに比べて小さな遅延を有する。

【0076】

前述したコンダクタ 620 および 650 に加えて、ロジック領域 20 または I/O セル 630 の各行はその長さにわたって延在する 2 本の局所高速コンダクタ 660 を備えている。コンダクタ 660 は、既に参照符号 260 によって示されたコンダクタ（例えば図 3 において）に含まれる。図 7B には、これらのコンダクタの信号源が示されている。各 I/O セル行およびこの I/O セル行に結合されたロジック領域行に対して、相関するコンダクタ 660 上の信号は、その I/O セル行の中央付近の入力端子 662、またはそのロジック領域行の中央付近のロジック領域 20 のいずれかから伝送することができる。PLC 664 は、これらの入力端子とロジック領域の間で信号を選択する。I/O セル行に結合されていない各ロジック領域行はに対して、コンダクタ 660 の信号はその行の中央付近のロジック領域 20 から伝送することができる。

【0077】

図 7 に示された回路への変更は、各ロジック領域内に局所的入力端子（例えば入力端子 662）を備えることを含み、これはその行内のロジック領域 20 からのコンダクタをドライブする代わりに、この行に対する二次信号 650 および / または 660 をドライブする。別の可能性は、局所的二次信号 650/660 をより繊細に処理するか、あるいはより粗く処理することである（例えば、これらの信号を半分の行によってグループ化するか、または局所二次信号を個々の行ではなくデバイス 10 の 4 分割によってグループ化することによって）。

(43)

【0078】

図7には、さらに各I/O行40がこれに結合されたロジック領域20の行と二次信号650/660を分割する方式が示されている。従って、図7の上端附近に示されている典型的なI/O行40は、このI/O行の直ぐ下にある結合されたロジック領域行と同一の二次信号650/660を有する。同様に、図7の底部附近に示された他のI/O行40も、このI/O行の直ぐ下にある結合されたロジック領域行と同一の二次信号650/660を有する。

【0079】

図7には、各I/O行40と対応するロジック領域20との間の相関性の別の側面も示されている。このことは、I/O行40内のI/Oセル630に対する追加的入力信号源として各I/O行40に対して結合されたロジック領域内における領域フィーディングコンダクタ300および局所フィードバックコンダクタ310の使用に関する。例えば、コンダクタ300/310は、図7内のロジック領域20-1に結合され、そのロジック領域の上側のI/Oセル630まで延在しており、従ってこれらのコンダクタ300/310上の信号はこのI/Oセルに対する追加的入力として使用することができる。別の例として、図7の上部右側附近に示されたロジック領域20に結合されたコンダクタ300/310は、そのロジック領域上側のI/Oセル630まで延在しており、従ってこれらのコンダクタ300/310上の信号はそのI/Oセルに対する追加的な入力として使用することができる。次に説明する図8は、代表的なI/Oセル630の好適な実施例の構成に関してより詳細に示しており、これにはこのセルに付加される種々の信号が使用される方式が含まれている。

【0080】

典型的なI/Oセル630の実施例が図8により詳細に示されている。I/Oセル630は、I/O端子710、入力レジスタ740、出力レジスタ720、およびトリリステート制御信号（または出力付勢）レジスタ730を含んでいる。レジスタ720, 730, および740のそれぞれは、データ入力D、クロック入力、クロック付勢入力EN、クリア/プリセット入力C/P、およびデータ出力Qを備えている。入力レジスタ740のデータ入力（I/O端子710から伝

送される) を除いて、レジスタ720, 730, および740への全ての入力は、I/Oセルへの4つのクロック入力620、I/Oセルへの6個の高速コンダクタ650入力、I/Oセルへ入力可能な36個のコンダクタ300/310上の種々の信号の中から選択することができる。円754は、種々のコンダクタ620/650/300/310と種々のレジスタ入力との間における可能な接続性を示している。各PLC756は、接続可能ないくつかの信号の中から1つの信号を選択することを実施する。プログラム可能な反転要素758(これは図5Aの回路450と同様である)は、各PLC756の出力信号をデバイスのユーザの要望に応じて反転するかまたは反転しないかを可能にする。

【0081】

図7に示されまた前の図においても説明したように、図8に示されているコンダクタ300/310は、領域フィーディングコンダクタ300および図8に示されたI/Oセル630を含んだI/O行40に結合されたロジック領域の行からのフィードバックコンダクタ310である。(これらの各行40内のいくつかのI/Oセルは、通常相関するロジック領域行内の異なった一つ一つの領域20からのコンダクタ300/310を備えている。) 図8内のコンダクタ620および650は、図7に示された水平コンダクタ620および650の支線であり、これは図8のI/Oセル630を含むI/O行に結合されている。

【0082】

出力レジスタ720および出力付勢レジスタ730の両方をクロックするため同一の信号が使用される。全てのレジスタ720, 730, および740は、同一のクリア/プリセット入力信号を有する。各レジスタはクリア/プリセット入力信号に応答してクリアまたはプリセットするようプログラムすることができる。

【0083】

出力レジスタ720のデータ出力信号Qは、PLC722の一入力端子に付加される。PLC722への他の入力は、レジスタ720へデータ入力である。従って、PLC722は、レジスタ720によって登録されているかまたはこのレジスタを迂回した、デバイス10の出力信号をトリステートドライバ724に付

加するように使用することができる。出力付勢レジスタ730のデータ出力信号Qは、PLC732の一入力端子に付加される。PLC732への他の入力は、レジスタ730への未記録データ入力である。PLC732の出力信号は、トリステートドライバ724のトリリストート制御入力端子に付加される。従って、トリステートドライバ制御信号は、レジスタ730に付加される記録されたまたは未記録のいずれかのデータ信号である。トリステートドライバ724の出力信号は、I/O端子710に付加される。

【0084】

入力側において、I/O端子710からの入力信号が入力レジスタ740のデータ入力端子Dに付加される。この信号は、各PLC742-1および742-2の一入力端子に付加される。これらのPLCのそれぞれへの別の入力は、入力レジスタ740のQ出力信号である。PLC742-1の出力信号はバッファ744-1を介してデバイス10のロジックへ付加される。同様に、PLC742-2の出力信号は、バッファ744-2を介してデバイス10のロジックに付加される。例えば、各バッファ744の出力信号は、デバイスの1つまたは複数の相互接続コンダクタ200a/b, 210a/b, 230a/b, 240等に付加される（例えば、トリステートドライバまたはパスゲートデマルチプレクサ（図示されていない）を介して）。従って、経路742-1/744-1および742-2/744-2のいずれかまたは両方が、端子710からの記録されたまたは未記録のいずれかのI/O信号に対して使用される。言い換えると、端子710は記録されたまたは未記録の両方の形式でデバイス10のロジックに使用され得る。

【0085】

レジスタ720および730は、それバッファ726および736を介してのデバイスのロジックへのフィードバック経路を有することが示されている。これらのフィードバック経路は、前述したようにトリステートドライバまたはパスゲートデマルチプレクサを介してデバイスの適宜な相互接続コンダクタに接続することもできる。

【0086】

図9には、I/Oセル630および結合されたI/O端子710が好適には各I/O行40を横切って配置されることが示されている。言い換えると、これらのI/O端子710は、デバイス10の周囲部には配置されていない。それに代えて、それらはいくつかのI/O行40のそれぞれを横断して離間させることによってデバイスの内部に配置されている。これによってデバイス10上に設けられるI/O端子の数を増加させることができる。

【0087】

例えば図5に示されているように小領域30をカスケード接続することによって（すなわち、DCINおよび／またはDCOUT信号を使用する）、2つまたはそれ以上の小領域を、各小領域が個々に有する4つの入力よりも多い入力を有する単一のルックアップテーブルとして、効果的に共に使用することができる（デバイスのより一般的な相互接続リソースに依存することなく）。例えば、2つの小領域30をカスケード接続し、5, 6, または7入力の多数の（しかしながら全てではない）可能な論理的組合せを形成することができる。一般的に、より大きなルックアップテーブルは、デバイスの一般的な相互接続リソースを介して接続しなければならないいくつかの小さなルックアップテーブルに比べて、より多数かつより高速な入力の論理的組合せを形成できるという利点を有する。他方、比較的少数の入力の論理的組合せを形成することが求められている場合、大きなルックアップテーブルは不経済なものである。従って、比較的小さなルックアップテーブル（例えば4入力）をカスケード接続または直接接続する可能性は、良好な解決策を見出すものである。比較的多数の入力の論理的組合せを形成する必要がある場合、2つまたはそれ以上の小領域30をカスケード結合することができる。他方、比較的少数の入力の論理的組合せを形成する必要がある場合、ルックアップテーブルのリソースを過度に浪費することを防止するため小領域30を個別に使用することができる。勿論、既に説明したように、4入力より多い全ての論理的組合せが2つまたはそれ以上の小領域30によって形成されるものではない。

【0088】

図10には、2つの小領域30内の4入力ルックアップテーブルがカスケード

形式の直接接続を介して選択的に相互接続され、これによって真の5入力ルックアップテーブル（すなわち、5入力の全ての論理的組合せを形成することができるルックアップテーブル）が形成される代替的な実施例が示されている。要素810-1および810-2は、第1小領域30-1の一部を形成する2つの3入力ルックアップテーブルである。PLC812-1もこの第1小領域30-1の一部を形成する。それ自体で使用するものとして、小領域30-1はOUT1としてその4つの入力A1-D1のいずれかの論理的組合せを形成する。

【0089】

要素810-3および810-4は、第2の小領域30-2の一部を形成する2つの3入力ルックアップテーブルである。PLC812-2, 814-1, 814-2, および818、ならびにFCE816は、小領域30-2の追加的な要素である。小領域30-2がそれ自体によって使用されている場合、PLC814-1が入力D2をPLC812-2の制御入力端子に付加し、PLC814-2が固定VCC（論理1）をPLC818の制御入力端子に付加することを付勢するように、FCE816をプログラムすることができる。PLC818へのロジック1制御入力は、この要素がPLC812-2の出力信号を出力端子OUT2に伝送することを付勢する。このことは、小領域30-2がOUT2として小領域30-2の4つの入力A2-D2のいずれかの論理的組合せを形成するために使用されることを可能にする。

【0090】

他方、図10に示されている全ての回路が5入力ルックアップテーブルとして共に使用される場合、FCE816は、PLC814-1がPLC812-2の制御入力端子に付加し、PLC814-2がPLC818の制御入力端子に入力D2を付加することを付勢するようにプログラムすることができる。加えて、同一の信号A-Cがそれぞれ入力A1-C1およびA2-C2に付加される。このことは、デバイス10の一般的な相互接続リソース（例えば図3および図4に示されている要素）を適宜にプログラムすることによって実施することができる。5入力ルックアップテーブルへの4番目の入力は入力Dであり（入力端子D1に付加される）、5入力ルックアップテーブルへの5番目の入力は入力Eである（

入力端子D 2に付加される）。入力Dに基づいて、PLC 812-1および812-2は3入力ルックアップテーブル810-1ないし810-4の4つの出力のうちから2つの信号を選択する。PLC 818は、これら2つの信号から入力Eに基づいて1つの信号(OUT 2)の最終選択を行う。従って、この方式で共に使用される場合、図10に示された回路は5入力ルックアップテーブルとして5入力A-Eのいずれかの論理的組合せを形成するよう使用される。

【0091】

図10には2つの4入力ルックアップテーブルを1つの5入力ルックアップテーブルに選択的に変換するための回路が示されているが、2つのM+1入力ルックアップテーブルを1つのM+2ルックアップテーブルに変換する原理は一般的に適用することができ、ここでMは要素810-1等の最初のルックアップテーブルの入力数である。図10において、Mは数値3を有しているが、図10に示された形式の回路は容易に2, 4, 5, 6, 7等の他のM数値に変更することができる。

【0092】

小領域30をカスケード接続するためのさらに別の回路が図11に示されている。図5に示された主要な実施例においては、PLC 408の出力信号は、このPLC 408を含む小領域のルックアップテーブル部分の直接接続出力信号DC OUTおよびメインデータ出力信号の両方を提供する。図11に示された代替的な実施例において、各小領域30-1と30-2は、2つのPLC 912-1および912-2(小領域30-1について)、ならびに912-3および912-4(小領域30-2について)を備えている。各小領域30内において、両方のPLC 912は、その小領域内のPLC 914の出力信号によって並行して制御される。各小領域において、PLC 914は結合されたFCE 916によってプログラム制御され、その小領域に対してD入力またはカスケード入力のいずれかを出力する。最後に、各小領域において、PLC 912のうちの1つがこの小領域のメインデータ出力信号を選択し、第2のPLC 912は同じ信号選択を行ってこの小領域のカスケード出力信号を形成する。各小領域30内に2つの分離したPLC 912を設けることによって、メインデータ出力信号およびカスケー

ド出力信号のいずれもこれらの2つの信号以外によってロードされることはない。このことはこれら両方の信号の速度を増加させることを促進する。別の観点において、図11に示された実施例は図5に示された主要な実施例と論理的に同一である。

【0093】

図10および図11は、いずれも図5の主要な実施例に比べて簡略化して示されている。しかしながら、図5に示された他の特徴のいずれもが図10および図11に適用し得ることが理解される。

【0094】

図12には、データプロセッシングシステム1002内に設けられた本発明に係るプログラマブルロジックデバイス10が示されている。データプロセッシングシステム1002は：プロセッサ1004と；メモリ1006と；I/O回路1008と；および周辺装置1010のうちの1つまたは複数を備えることができる。これらの構成要素はシステムバス1020によって結合されるとともに、エンドユーザシステム1040内に含まれた回路基板上に装着される。

【0095】

システム1002は、コンピュータネットワーキング、データネットワーキング、計測、画像処理、デジタル信号処理、またはその他のプログラマブルまたはリプログラマブルロジックの利点を必要とする適用方法において、広範囲な適用分野で使用することができる。プログラマブルロジックデバイス10は、広範囲な異なったロジック機能を実行するために使用することができる。例えば、プログラマブルロジックデバイス10は、プロセッサ1004と共同動作するプロセッサまたはコントローラとして構成することができる。プログラマブルロジックデバイス10は、システム1002内において分配されたリソースへのアクセスを仲介するアービタとして使用することもできる。さらに別の例において、プログラマブルロジックデバイス10は、プロセッサ1004とシステム1002内の別の構成要素の1つとの間のインターフェースとして構成することができる。システム1002は単に例示的なものであり、本発明の真の視点および精神は請求の範囲によって定義されることが理解されよう。

【0096】

本発明の特徴ならびにデバイスの種々の構成要素（例えば前述したPLCおよびPLCを制御するFCE等）を備えるプログラマブルロジックデバイス10を実施するために、種々の技術を使用することができる。例えば、各PLCは、複数の入力のいずれか1つを出力に接続するためのスイッチまたはスイッチ群等の比較的に単純にプログラム可能なコンダクタとすることができます。他方、各PLCは、接続の形成と並んでロジックの実行（例えば複数の入力の論理的な結合）も可能な幾分複雑な要素とすることもできる。後者において、例えば、各PLCは、積算項ロジック、AND、NAND、OR、またはNOR等の命令実行機能とすることができます。PLCを実施するための好適な構成要素としては、EPROM、EEPROM、パストランジスタ、トランスマッシュゲート、アンティヒューズ、レザヒューズ、メタルオプション接続器等が挙げられる。前述したように、PLCの種々の要素は、種々のプログラマブル機能制御要素（“FCE”）によって制御することができる。（特定のPLC機器（例えば、ヒューズおよびメタルオプション接続器）においては、独立したFCEデバイスは必要とされない。）FCEもいくつかの異なった方式で実施することができる。例えば、FCEは、SRAM、DRAM、ファーストイントゥアストアウト（“FIFO”）メモリ、EPROM、EEPROM、機能制御レジスタ（例えば、ウォールストロムの米国特許第3473160号参照）、強誘電メモリ、ヒューズ、アンティヒューズ等とすることができます。前述した種々の例により、本発明は、一回のみプログラム可能なデバイス、またはリプログラマブルデバイスのいずれに適用することもできる。

【0097】

前述の説明は本発明の原理を単に例示するものであり、当業者においては本発明の精神を逸脱することなく、種々の設計変更をなし得ることが理解されよう。例えば、デバイス10上の多様な形式のリソースの数は、添付図面および説明において示された実施例の数字とは異なったものとすることができる。これは、種々の形式の回路の行および列の数、各領域20内の小領域30の数、種々の形式の相互接続コンダクタの数、種々の形式の相互接続コンダクタの間における相互

接続を形成するためのPLCの数およびサイズ等に該当する。また、“垂直”および“水平”、“左”および“右”、“上”および“下”、“行”および“列”等の種々の方向および位置的な用語は、単に便宜的に使用しているものであり、これらの用語によって固定的または絶対的な方向的または位置的限定を意図するものではない。例えば、本発明に係るデバイスは任意の方向性を有することができる。方向を変更した場合、異なった方向的または位置的用語をその説明に使用することができるが、これは本発明の視点および精神に係る基本的な特徴を変更するものではない。“領域”および“小領域”等の用語も単に一般的に使用しているものであり、同様な回路に対して関連する用語またはその他用語を使用することもできる。従って、これらの用語は意味において逆転して使用することもでき、領域／小領域の序列は重要でない。他方、本発明の視点に係るデバイスは、小領域に分割されていないプログラマブルロジック領域を備えることもできる。ルックアップテーブルロジックも使用され、実施例において図示および説明しているが、必要に応じてこれに代えて他の種類のロジックを使用し得ることは勿論である。例えば、ペダーソン氏等の米国特許第5241224号およびパテル氏の米国特許第5371422号公報（これらはともに全体的に参照に組み入れてある）に関連する第1の例において考慮したように、ルックアップテーブルロジックに代えて積和ロジックを使用することもできる。ここでは特定のプログラマブルロジックデバイス構造に関して説明したが、本発明の種々の特徴は、フリーマン氏の米国特許第34363号公報、クリフ氏等の米国特許第5689195号公報、および1999年3月10日に出願されたジェファーソン氏等の米国特許出願09/266235号公報（これらは全て全体的に参照に組み入れてある）等に記載されているその他の多様な構造のプログラマブルロジックデバイスに適用することができる。

【図面の簡単な説明】

【図1】

本発明に従って構成される例示的なプログラマブルロジックデバイスの概略ブロック線図である。

【図2】

(52)

本発明に従った代表的かつ例示的な相互接続リソースを加えた図1のデバイスの部分拡大図である。

【図3】

本発明に従って図1および図2に示されたデバイスに追加的に使用する代表的かつ例示的な相互接続リソースを示す概略ブロック線図である。

【図4】

図1および図2のデバイスに適用される別の代表的かつ例示的な相互接続リソースを示す概略ブロック線図である。

【図5 A】

本発明に従って図1および図2のデバイス上において使用する代表的かつ例示的なプログラマブルロジックおよび関連回路を示す概略ブロック線図である。

【図5 B】

本発明に従って図1および図2のデバイス上において使用する代表的かつ例示的なプログラマブルロジックおよび関連回路を示す概略ブロック線図である（図5 Aおよび図5 Bは、図5と総称することもある）

【図6】

本発明に従って図1および図2に示されたデバイスに使用するさらに別の代表的かつ例示的な相互接続リソースを示す概略ブロック線図である。

【図7 A】

図1の本発明の回路の別の代表的な部分の例示的な実施例を詳細に示した概略ブロック線図である。

【図7 B】

図7 Aの回路に関する追加的な要素で図7 Aに示されていないものを示した概略ブロック線図である。図7 Aおよび図7 Bは、図7と総称することもある。

【図8】

図7の回路の代表的な部分を詳細に示した概略ブロック線図である。

【図9】

図1の本発明の回路のさらに別の代表的な部分の例示的な実施例を示す概略ブロック線図である。

(53)

【図10】

図5の一部分の本発明に従った別の実施例を示す概略ブロック線図である。

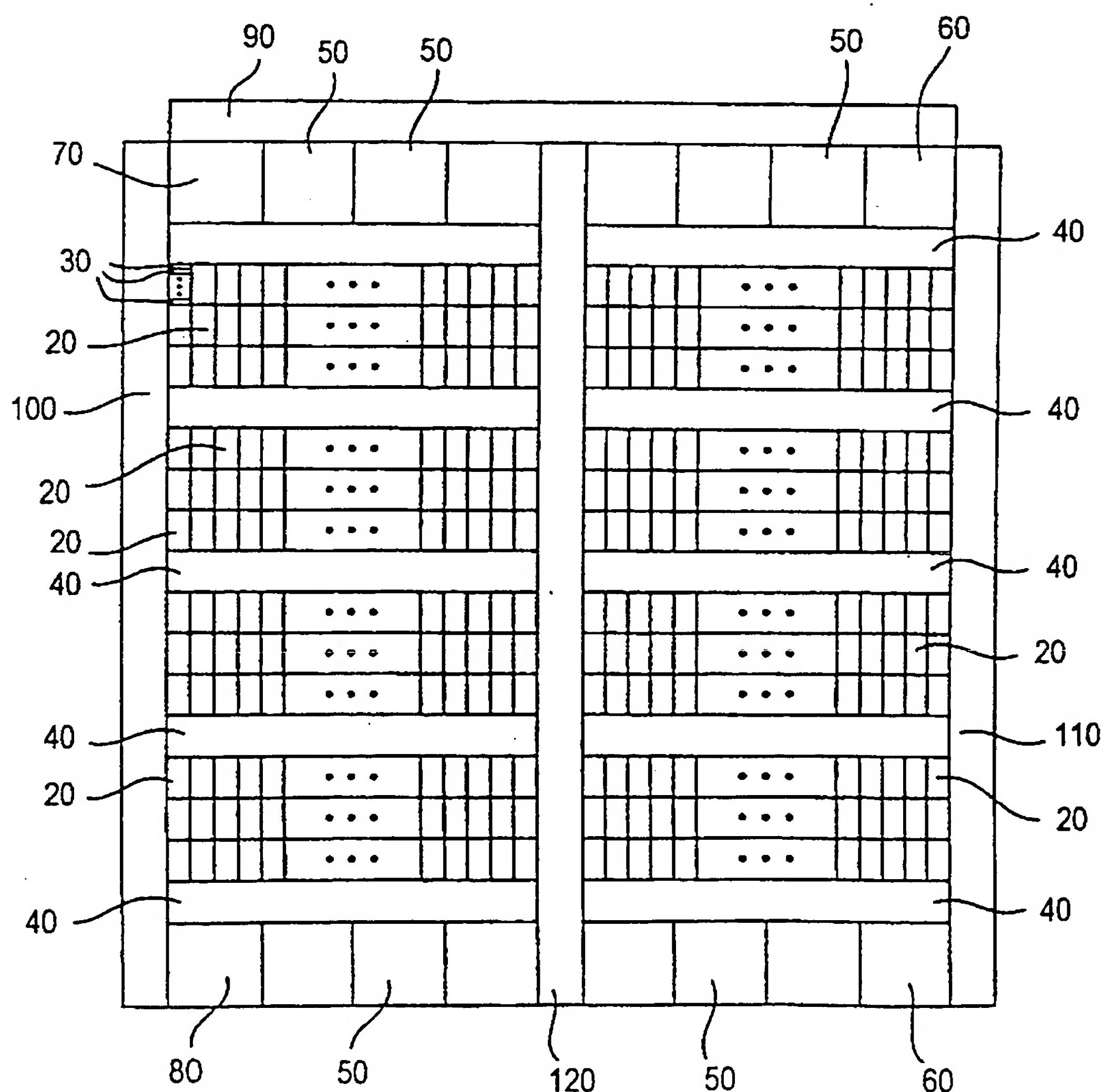
【図11】

図5の一部分の本発明に従ったさらに別の実施例を示す概略ブロック線図である。

【図12】

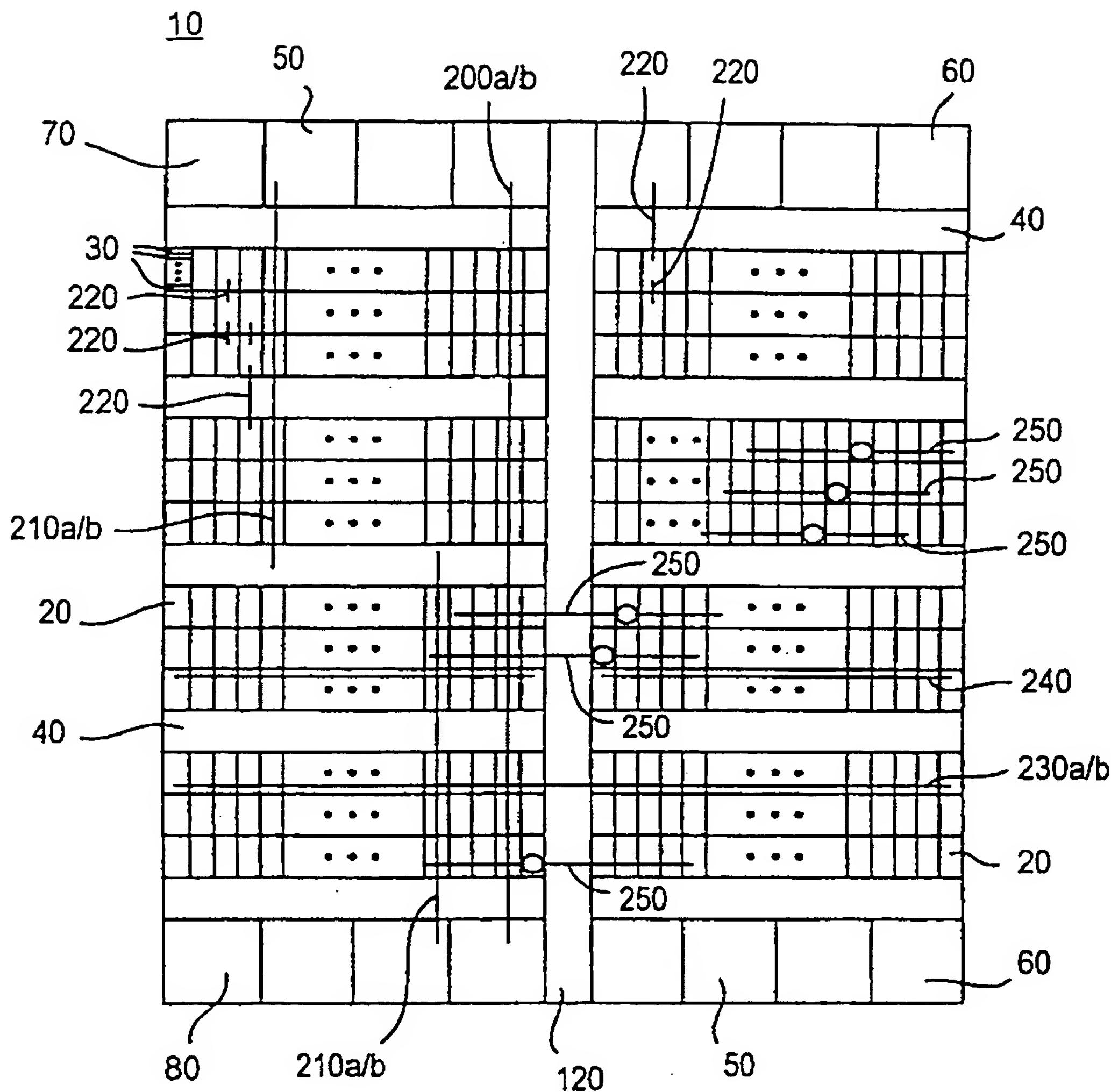
本発明に係るプログラマブルロジックデバイスを使用する例示的なシステムを示す概略ブロック線図である。

【図1】

10

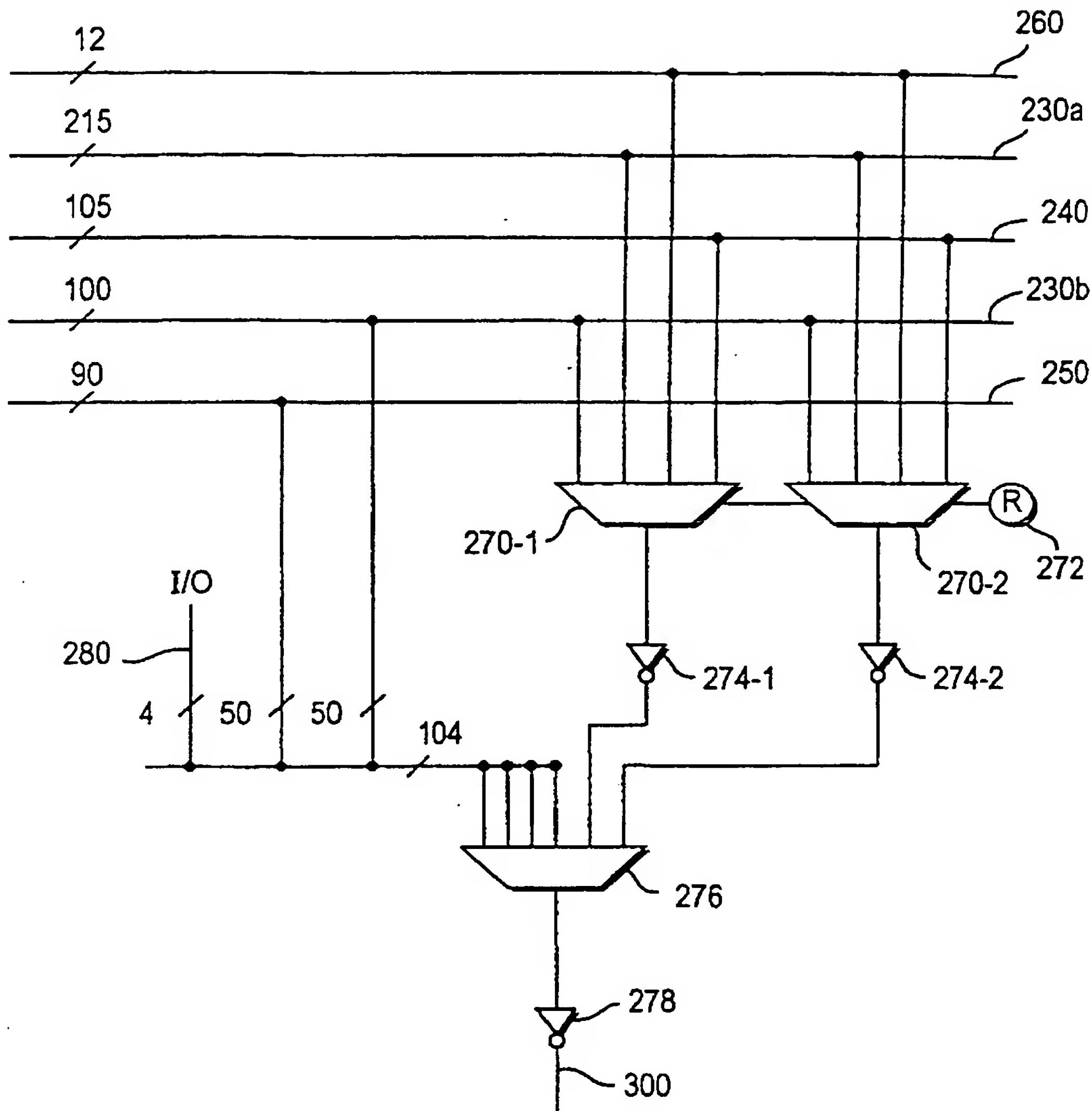
(54)

【図2】



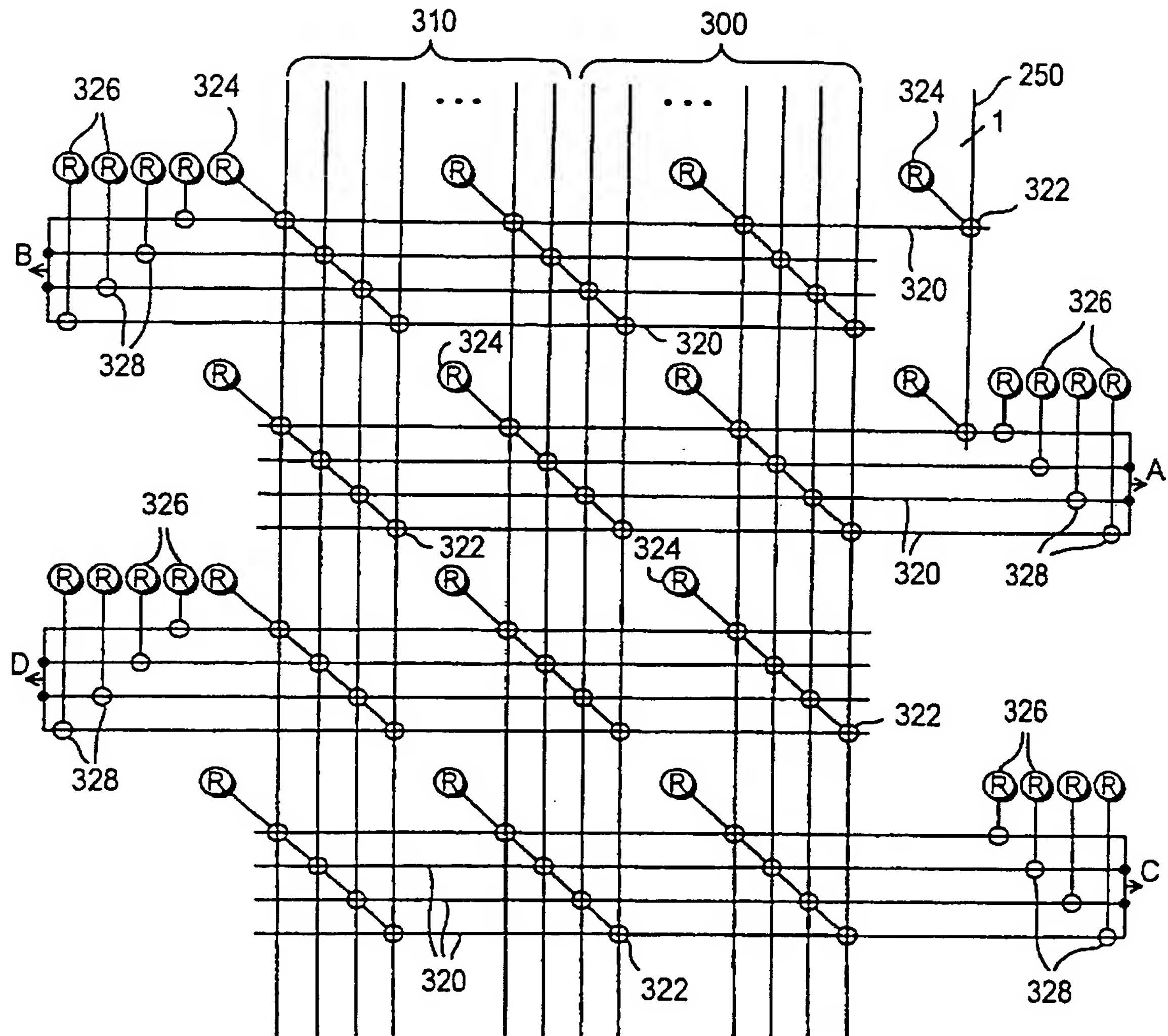
(55)

【図3】



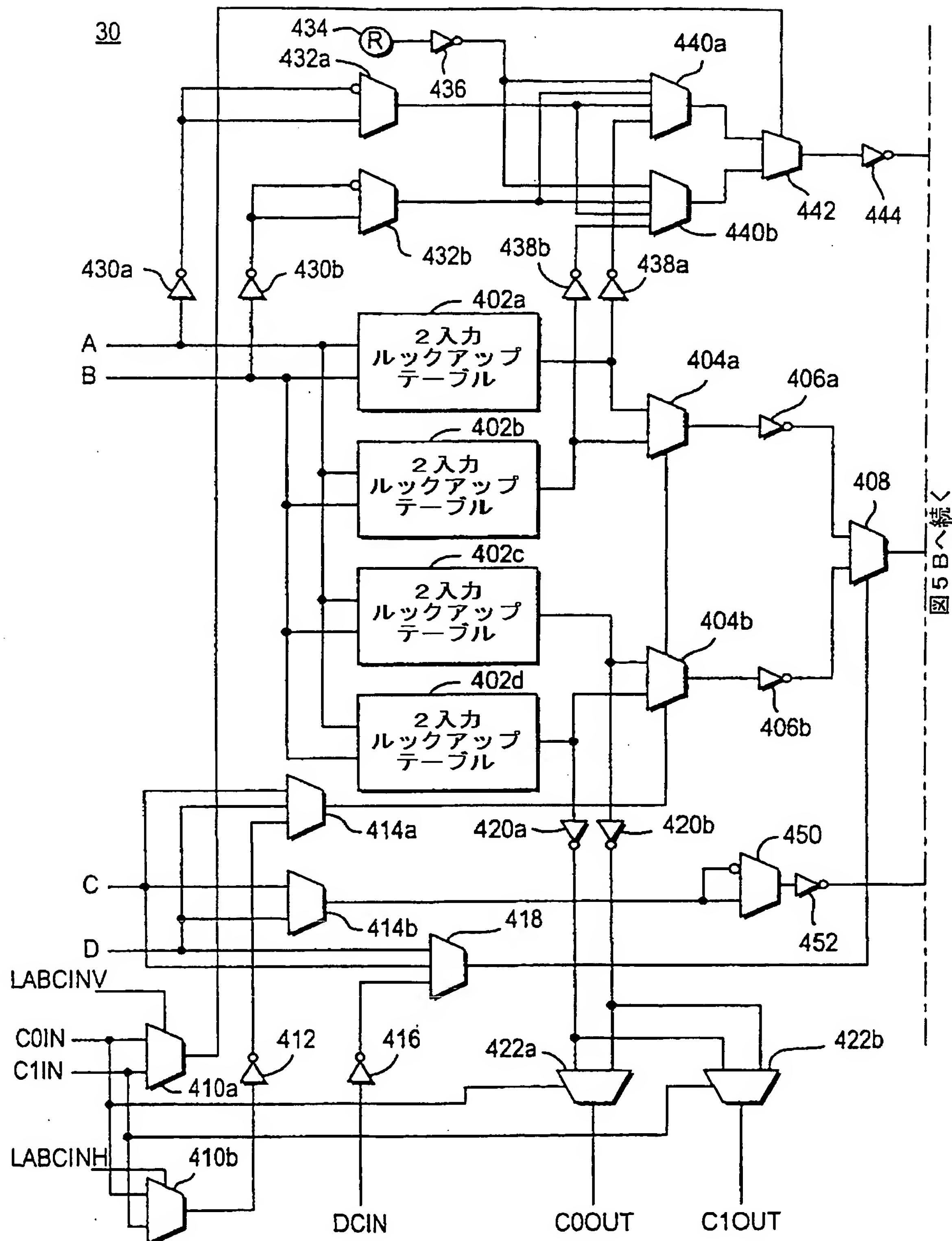
(56)

【図4】



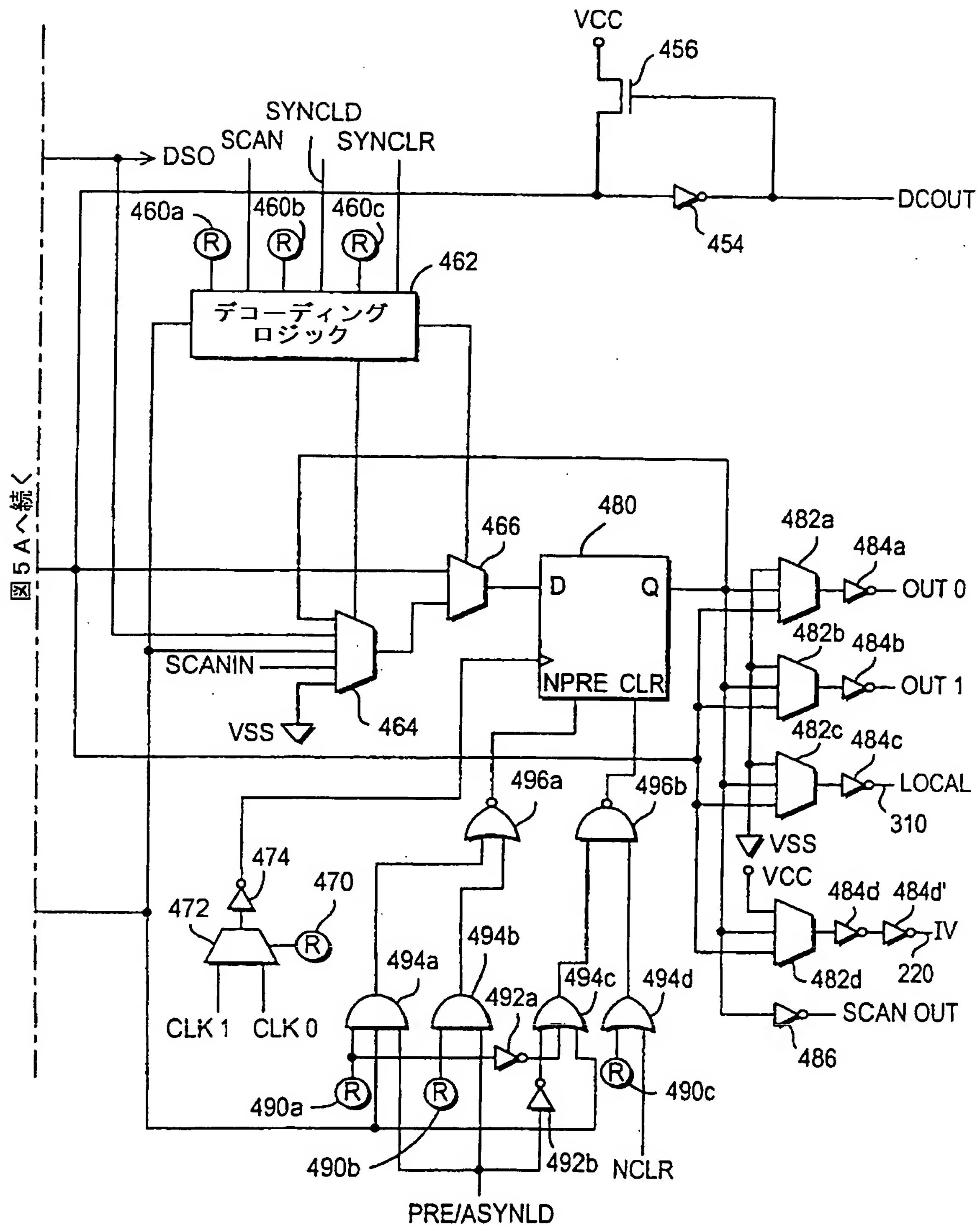
(57)

【図5 A】



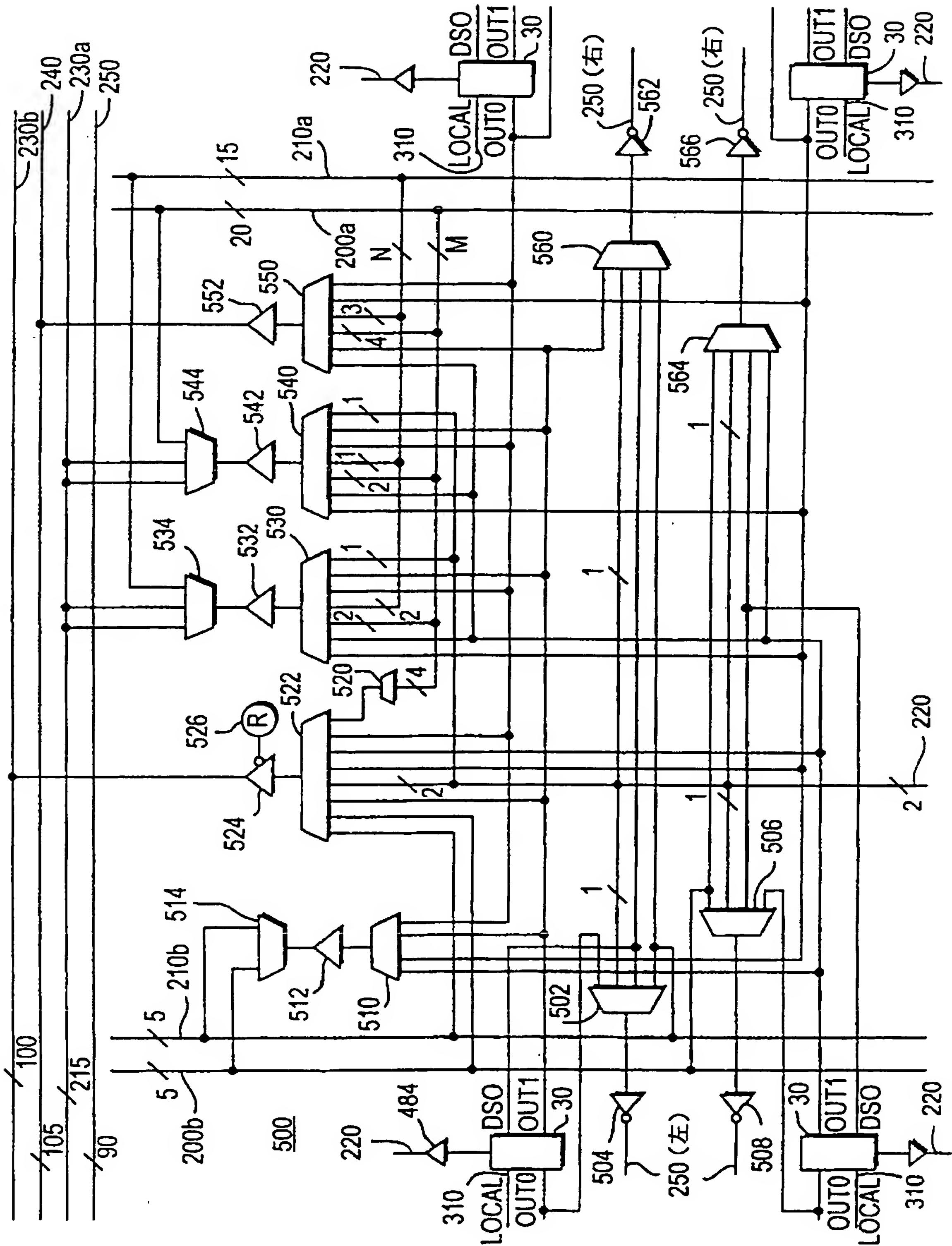
(58)

【図5B】



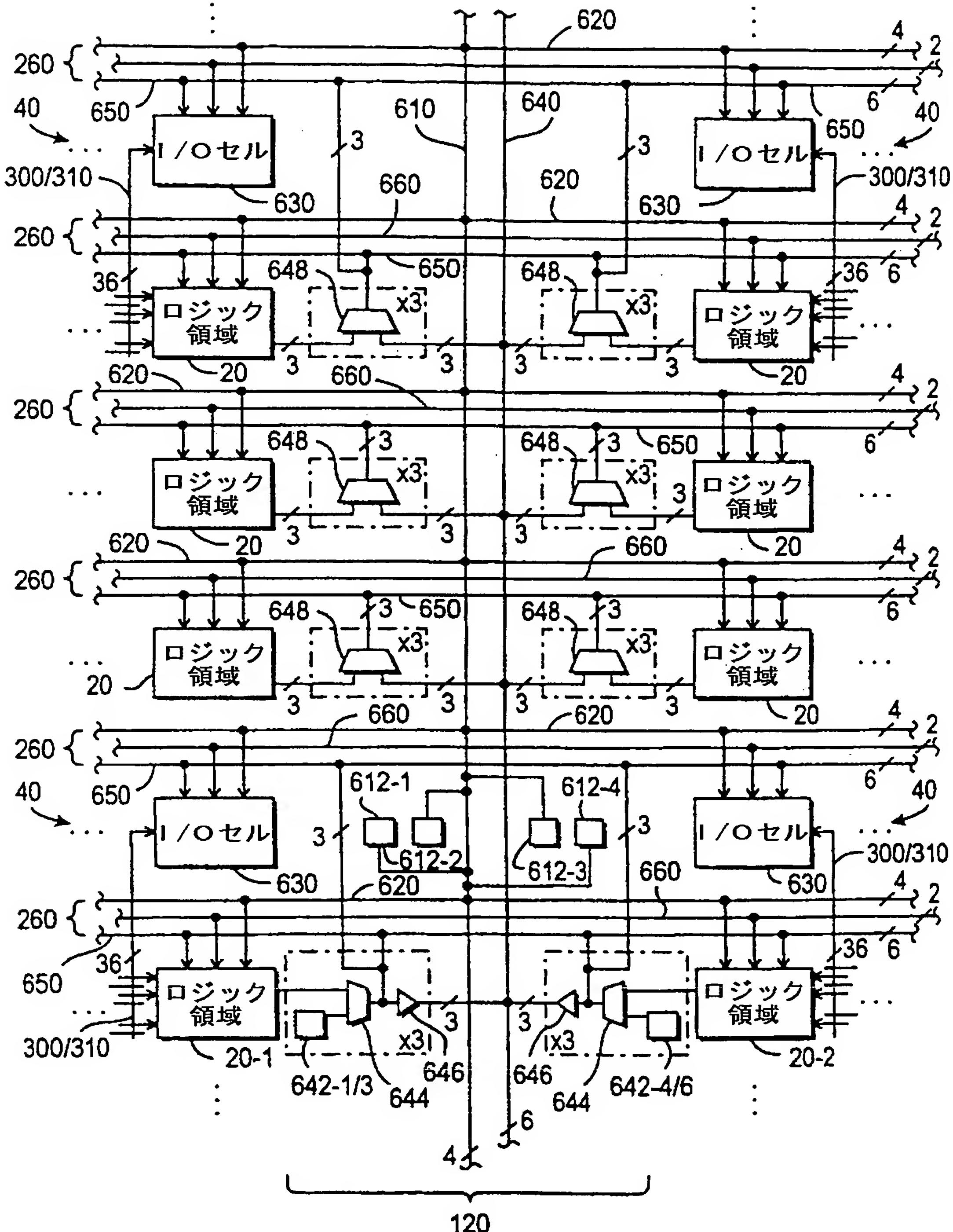
(59)

【图 6】



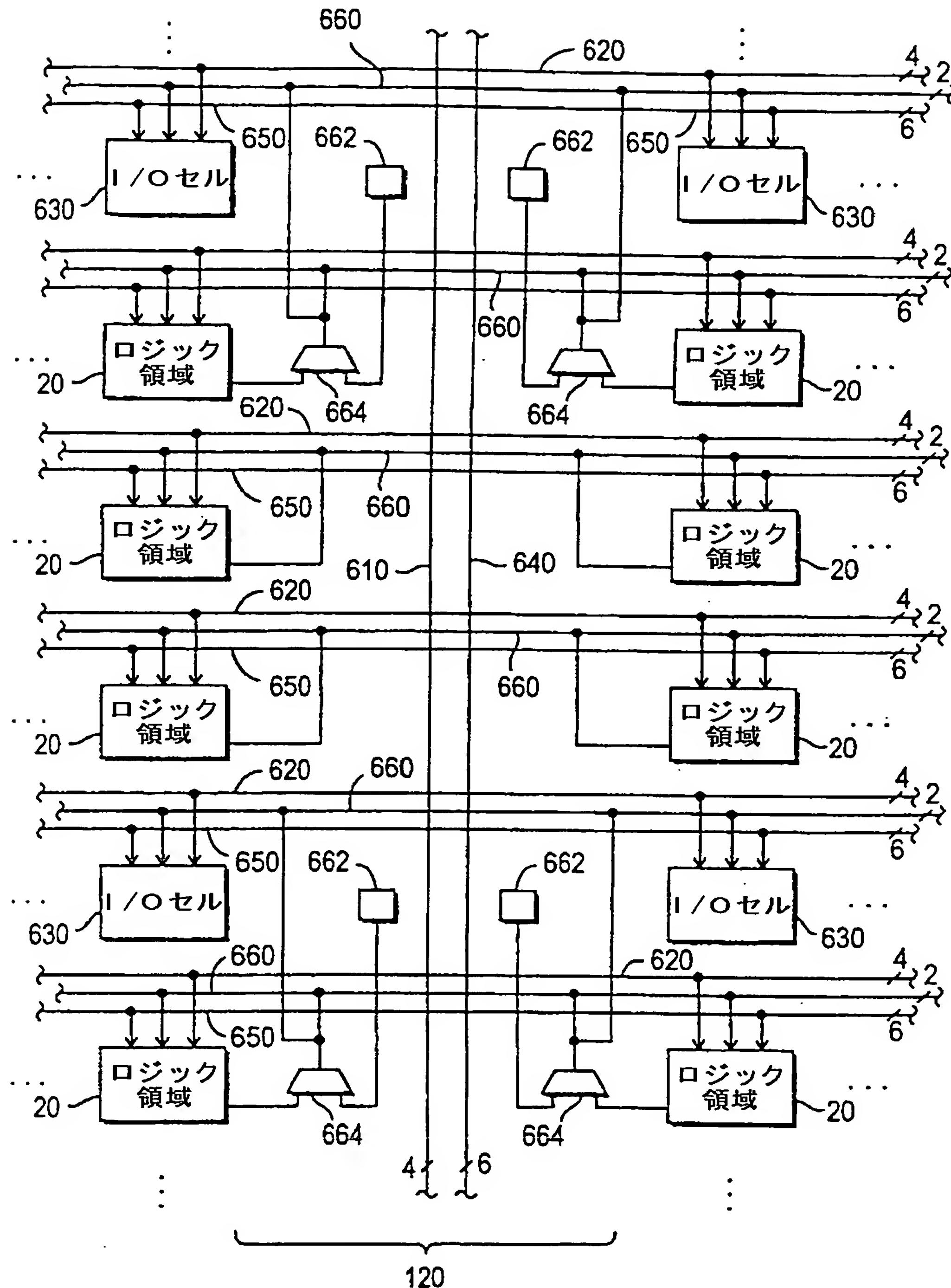
(60)

【図7 A】



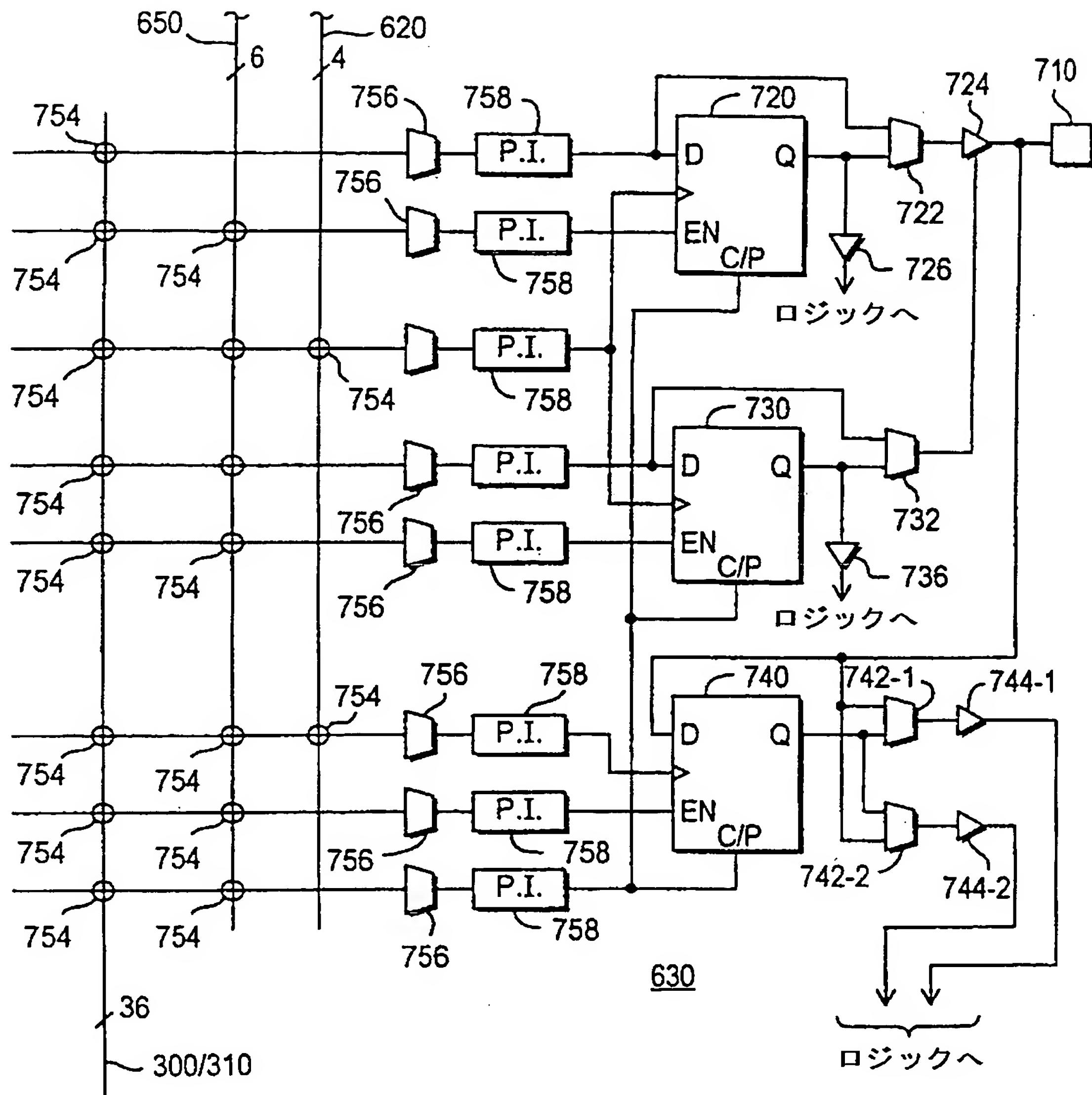
(61)

【図7B】

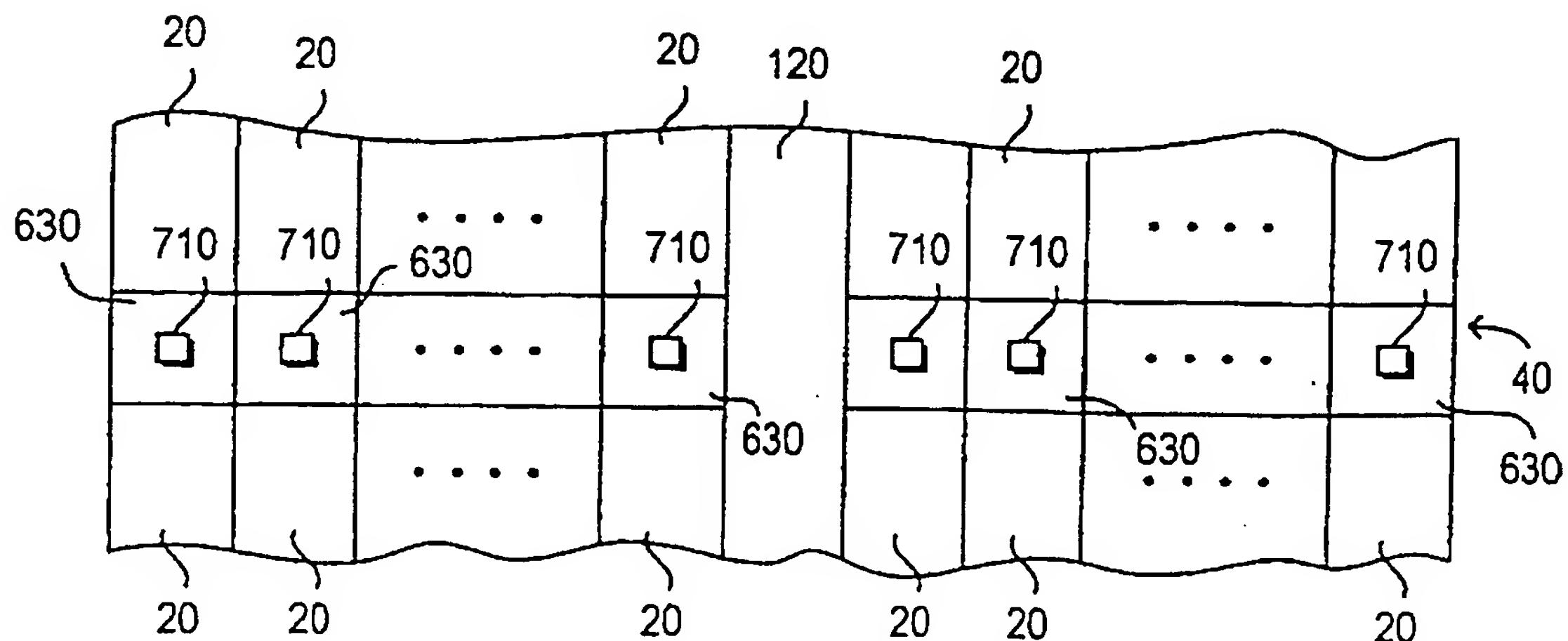


(62)

【図8】

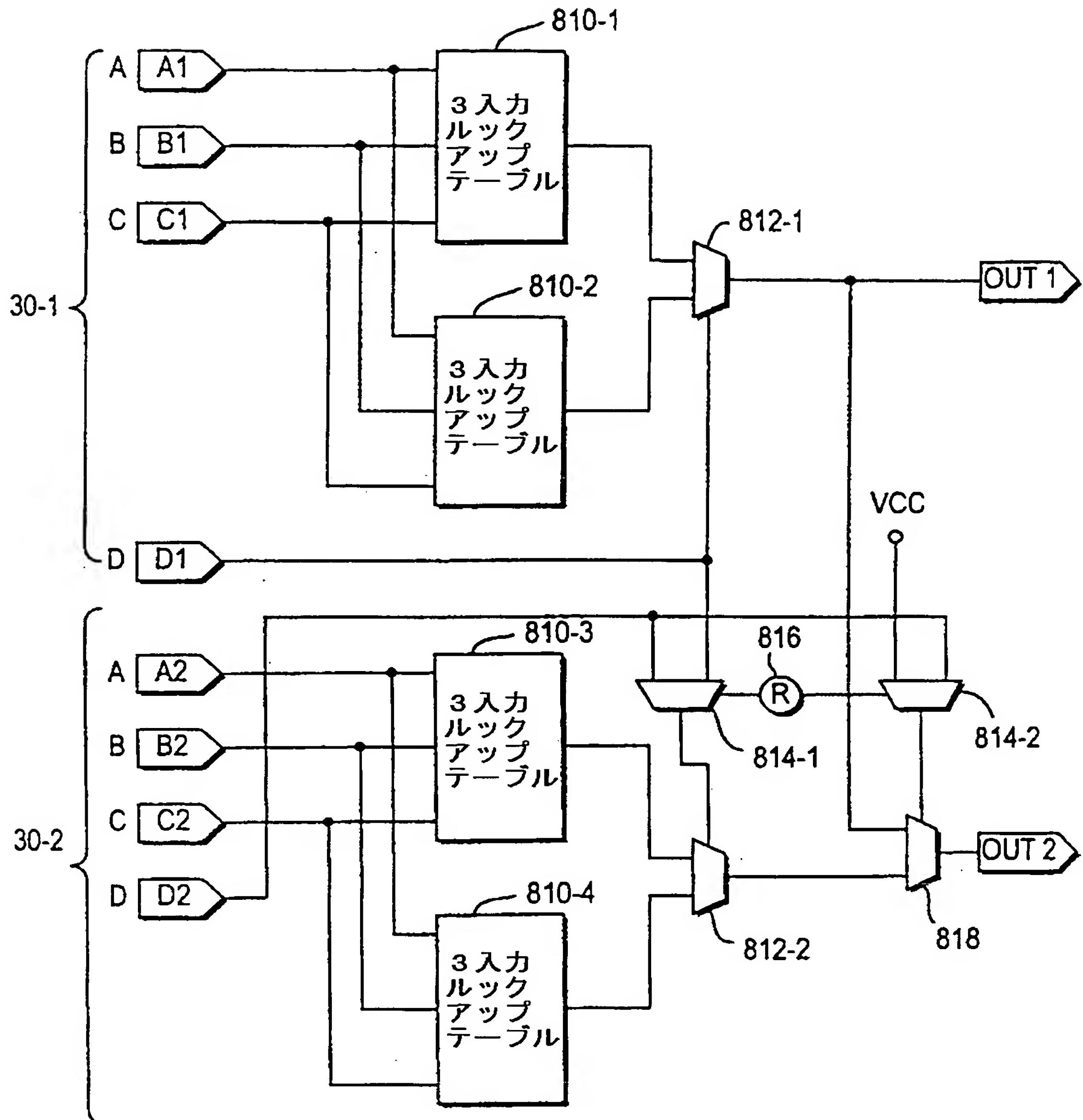


【図9】



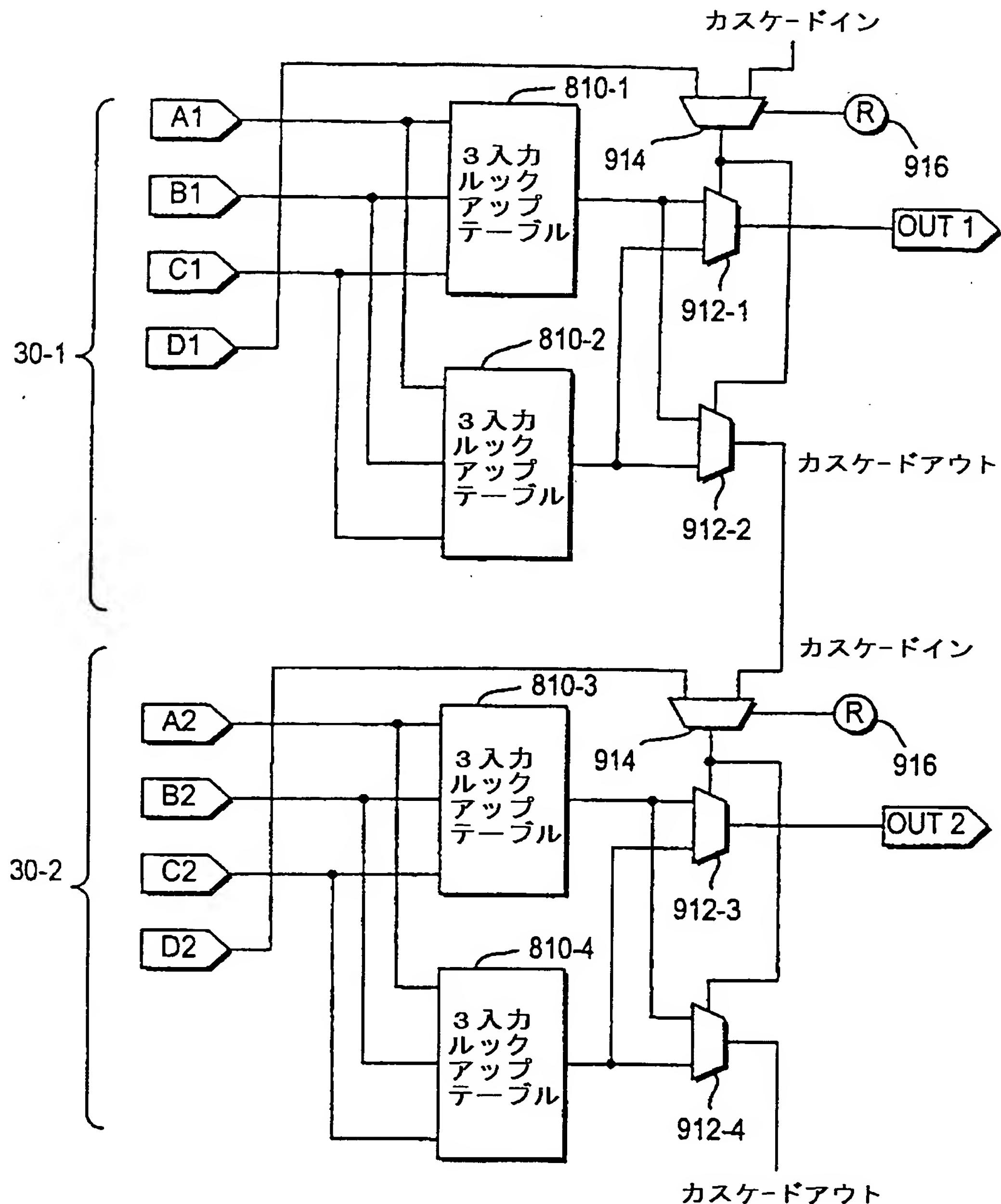
(63)

【図10】



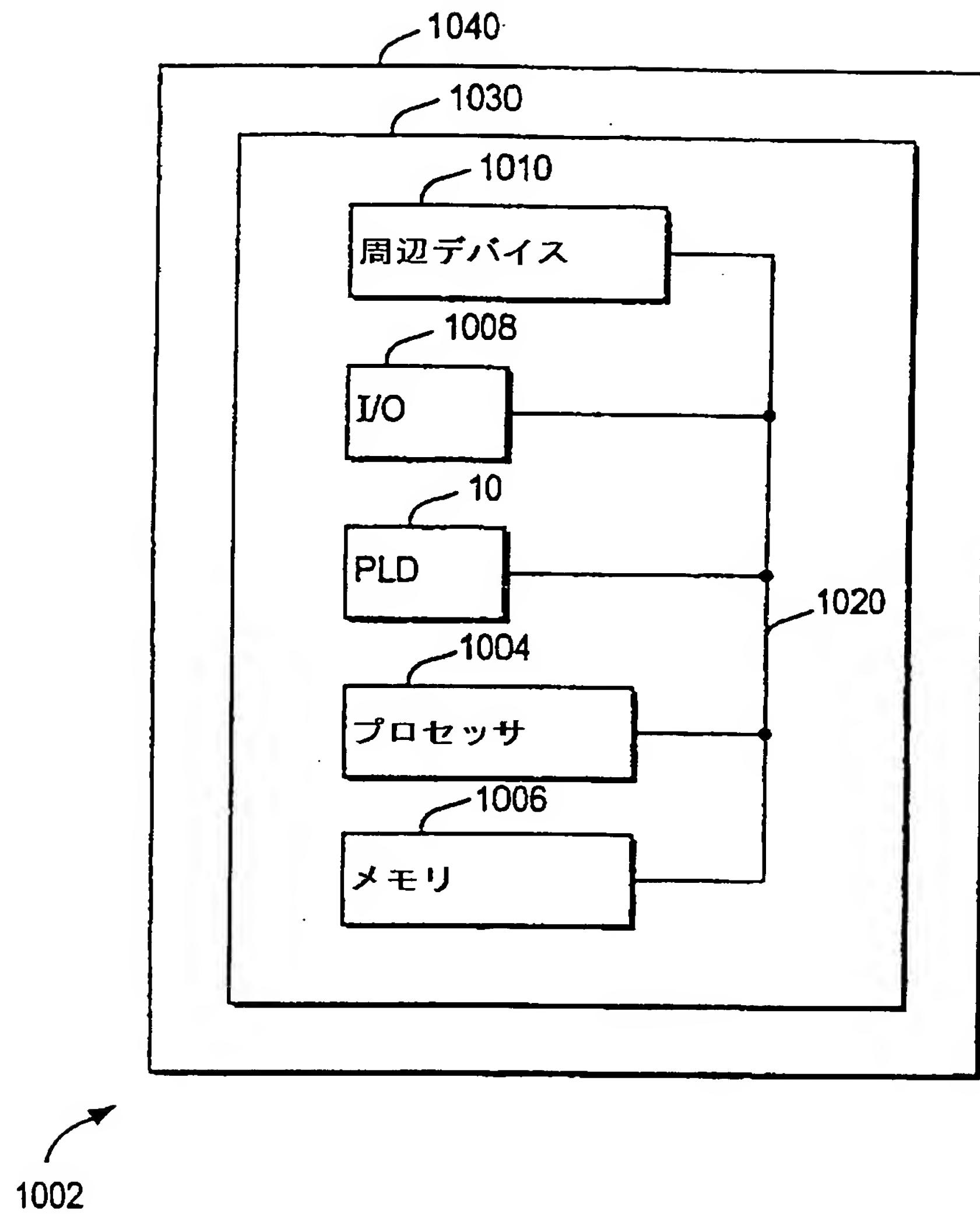
(64)

【図11】



(65)

【図12】



(66)

〔国際調査報告〕

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 00/05628

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03K19/177		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03K		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, INSPEC, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 828 229 A (AHANIN BAHRAM ET AL) 27 October 1998 (1998-10-27) column 7, line 17 - line 39 column 10, line 10 - line 48; figures 5,10,11 -----	1,29
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
8 June 2000	- 21. 11. 2000	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patenttaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016	Authorized officer BLAAS, D	

(67)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US 00/05628

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.: because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this International application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-21, 29, 30

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

(68)

International Application No. PCT/US 00/05628

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

The international search authority found multiple (groups of) inventions in this application.

1 Claims 1-21, 29, 30 Interconnection Resources with different propagation speeds for programmable logic devices.

2 Claims 22, 23 Programmable logic device with input/output cells distributed on the device.

3 Claims 24-28 Programmable logic device comprising input pins at the centre of the device

4 Claims 31-47 Look up tables and its connections in a programmable logic device

(69)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 00/05628

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 5828229	A 27-10-1998	US 5633830 A		27-05-1997
		US 5668771 A		16-09-1997
		US 5550782 A		27-08-1996
		US 5436575 A		25-07-1995
		US 5260610 A		09-11-1993
		US 5260611 A		09-11-1993
		US 6128692 A		03-10-2000
		US 5926036 A		20-07-1999
		GB 2307078 A,B		14-05-1997
		US 6023439 A		08-02-2000
		US 6018490 A		25-01-2000
		US 6064599 A		16-05-2000
		US 5838628 A		17-11-1998
		US 5812479 A		22-09-1998
		US 5848005 A		08-12-1998
		US 6028808 A		22-02-2000
		US 5764583 A		09-06-1998
		GB 2289964 A,B		06-12-1995
		US 5883850 A		16-03-1999
		DE 69223010 D		11-12-1997
		EP 0530985 A		10-03-1993
		EP 0786871 A		30-07-1997
		JP 6318638 A		15-11-1994
		US 5371422 A		06-12-1994
		US 5376844 A		27-12-1994
		US 5485103 A		16-01-1996
		DE 69312563 D		04-09-1997
		DE 69327670 D		24-02-2000
		EP 0569137 A		10-11-1993
		EP 0746102 A		04-12-1996
		EP 0746103 A		04-12-1996
		JP 6053817 A		25-02-1994

フロントページの続き

- (31) 優先権主張番号 60/142, 513
 (32) 優先日 平成11年7月6日(1999. 7. 6)
 (33) 優先権主張国 米国(US)
- (31) 優先権主張番号 60/142, 431
 (32) 優先日 平成11年7月6日(1999. 7. 6)
 (33) 優先権主張国 米国(US)
- (81) 指定国 EP(AT, BE, CH, CY,
 DE, DK, ES, FI, FR, GB, GR, IE, IT,
 LU, MC, NL, PT, SE), JP
- (72) 発明者 ベダースン, ブルース
 アメリカ合衆国、カリフォルニア 95134.
 サンホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーション
- (72) 発明者 シューマレイブ, サーゲイ
 アメリカ合衆国、カリフォルニア 95134.
 サンホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーション
- (72) 発明者 シュライカー, ジェームズ
 アメリカ合衆国、カリフォルニア 95134.
 サンホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーション
- (72) 発明者 ヒュン, ウェイージェン
 アメリカ合衆国、カリフォルニア 95134.
 サンホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーション
- (72) 発明者 ハットン, マイケル
 アメリカ合衆国、カリフォルニア 95134.
 サンホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーション
- (72) 発明者 マルリ, ピクター
 アメリカ合衆国、カリフォルニア 95134.
 サンホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーション
- (72) 発明者 パテル, ラケシュ
 アメリカ合衆国、カリフォルニア 95134.
 サンホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーション

(71)

- (72) 発明者 カザリアン, ピーター ジェイ
アメリカ合衆国、カリフォルニア 95134.
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション
- (72) 発明者 リーバー, アンドリュー
アメリカ合衆国、カリフォルニア 95134.
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション
- (72) 発明者 メンデル, ディビッド ダブリュー
アメリカ合衆国、カリフォルニア 95134.
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション
- (72) 発明者 パーク, ジム
アメリカ合衆国、カリフォルニア 95134.
サン ホセ、イノベーション ドライブ
101、ケアオブ アルテラ コーポレーション

F ターム(参考) 5F038 BE04 CA03 CA05 CA07 DF04
DF14 EZ20
5F064 AA07 BB03 BB04 BB07 BB12
BB19 BB26 DD13 DD24 EE47
HH12
5J042 BA01 BA09 CA27